

УДК
621.398
Е-172

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

МОСКОВСКИЙ ЭНЕРГЕТИЧЕСКИЙ ИНСТИТУТ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Ю.Н. Евланов, В.А. Новиков, А.А. Шатохин

ОДНОКРИСТАЛЬНЫЙ МИКРОКОНТРОЛЛЕР 80С552

Методическое пособие
по курсу
«Схемотехника и программное обеспечение электронных средств
измерений»
для студентов, обучающихся по направлению "Информатика и
вычислительная техника"

Москва

Издательство МЭИ

2001

ОГЛАВЛЕНИЕ

ПРЕДИСЛОВИЕ	4
1. КРАТКИЙ ОБЗОР СЕМЕЙСТВА ОДНОКРИСТАЛЬНЫХ МИКРОКОНТРОЛЛЕРОВ MCS-51. НАЗНАЧЕНИЕ И ОСНОВНЫЕ ФУНКЦИИ	5
2. ОПИСАНИЕ ОМК 80C552	9
2.1. УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ ОМК. НАЗНАЧЕНИЕ ВЫВОДОВ	9
2.2. ВНУТРЕННЕЕ ОЗУ	13
2.2.1. Структура внутреннего ОЗУ и особенности адресации	13
2.3. ПОРТЫ ВВОДА-ВЫВОДА	17
2.4. ТАЙМЕРЫ	18
2.4.1. Таймеры-счетчики T/C0, T/C1	18
2.4.2. Таймер/счетчик 2	19
2.4.3. Таймер 3	26
2.5. ПОРТЫ ПОСЛЕДОВАТЕЛЬНОГО ВВОДА/ВЫВОДА	26
2.5.1. Описание шины I ² C	26
2.5.2. Порт SIO1	30
2.5.3. Особые состояния и обработка специальных случаев	40
2.6. АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ	42
2.6.1. Основные параметры АЦП	43
2.6.2. Управление работой АЦП	43
2.7. ВЫХОДЫ СИГНАЛОВ С ШИРОТНО-ИМПУЛЬСНОЙ МОДУЛЯЦИЕЙ	45
2.8. СИСТЕМА ПРЕРЫВАНИЙ	47
2.9. СИНХРОНИЗАЦИЯ, СБРОС, РЕЖИМ ПОНИЖЕННОГО ПОТРЕБЛЕНИЯ	52
2.10. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОКОНТРОЛЛЕРА	54
КОНТРОЛЬНЫЕ ВОПРОСЫ	56
ЗАКЛЮЧЕНИЕ	58
ЛИТЕРАТУРА	59

ПРЕДИСЛОВИЕ

Непрерывное совершенствование средств вычислительной техники требует постоянного обновления всех разделов учебного процесса и в первую очередь – специальных дисциплин. К числу наиболее важных задач обучения студентов специализации "Вычислительно-измерительные системы" относится выработка навыков создания измерительной аппаратуры самого различного назначения на основе средств микропроцессорной техники. Среди последних доминирующее положение занимают однокристалльные микроконтроллеры, иногда называемые в отечественной технической литературе однокристалльными микроЭВМ. Они представляют собой большие интегральные микросхемы, в состав которых входят все необходимые для построения микропроцессорной системы функциональные узлы: процессор, память данных, память программ (может отсутствовать), программируемые интерфейсные узлы для связи с внешней средой и вспомогательные узлы для обеспечения высокоэффективной работы микропроцессорной системы. Использование микроконтроллеров в вычислительно-измерительных устройствах позволяет обеспечить исключительно высокие технические характеристики, в том числе и метрологические, при сравнительно низкой стоимости.

В лекционных курсах, посвященных проектированию средств измерений на основе однокристалльных микроконтроллеров, читаемых кафедрой информационно-измерительной техники студентам вышеуказанной специализации, излагаются особенности современных однокристалльных микроконтроллеров, методические основы схмотехнического и программного проектирования измерительной аппаратуры, методика её отладки и диагностирования. Курс дополнен лабораторным практикумом, в котором использованы конструктор-контроллеры КИТ-552 на основе микроконтроллеров 80C552. К сожалению, ограниченность лекционных курсов не позволяет в полной мере осветить все возможности и особенности микроконтроллерного подсемейства 552, являющегося ветвью семейства MCS-51. Отечественная литература по микроконтроллерам этого подсемейства отсутствует. Настоящее учебно-методическое пособие предполагает восполнить указанный пробел.

Авторы будут благодарны всем читателям, которые сочтут возможным прислать свои замечания, отзывы и пожелания по адресу: 117250, г. Москва, МЭИ (ТУ), кафедра ИИТ.

1. КРАТКИЙ ОБЗОР СЕМЕЙСТВА ОДНОКРИСТАЛЬНЫХ МИКРОКОНТРОЛЛЕРОВ MCS-51. НАЗНАЧЕНИЕ И ОСНОВНЫЕ ФУНКЦИИ

Несмотря на непрерывное совершенствование ранее созданных и разработку новых моделей 16- и 32-разрядных микроконтроллеров и микропроцессоров, наибольшая доля мирового микропроцессорного рынка остается за 8-разрядными устройствами. По данным аналитических компаний США, приведенным в [1], доля продаж 8-разрядных микроконтроллеров и микропроцессоров в 1996 г составила почти 50% общего объема продаж средств микропроцессорной техники, что в 2,5 раза превышает объем продаж как 16-разрядных микроконтроллеров, так и цифровых процессоров сигналов. По прогнозам аналитических компаний на начало третьего тысячелетия преобладающее положение 8-разрядных микроконтроллеров на мировом рынке сохранится [1].

Среди 8-разрядных однокристальных микроконтроллеров (ОМК) ведущие позиции бесспорно занимает семейство MCS-51, родоначальницей которого является фирма INTEL. На сегодняшний день известно свыше 200 модификаций ОМК семейства MCS-51, выпускаемых примерно 20 фирмами. В состав ряда модификаций MCS-51 входят как относительно простые ОМК, выпускаемые в виде 20-выводных микросхем с одним таймером и ЗУ программ емкостью до 1 Кбайт, так и 100-выводные микросхемы с набором таймеров-счетчиков, с ЗУ программ емкостью 64 Кбайт, аппаратными 16-разрядными умножителями и встроенными системами сбора данных с 10-разрядными АЦП. Отметим, что ежегодно появляются новые модификации этого семейства.

Основными направлениями совершенствования микроконтроллеров семейства MCS-51 являются:

- 1) увеличение быстродействия за счет повышения тактовой частоты и изменения архитектуры;
- 2) увеличение емкости ОЗУ и Flash-памяти программ с возможностью внутрисхемного программирования;
- 3) модернизация «микропроцессорного ядра» с целью снижения нижней граничной рабочей частоты до 0 Гц;
- 4) снижение напряжения питания и потребления;
- 5) дальнейшее расширение и улучшение характеристик набора встраиваемых периферийных устройств и сложности решаемых ими задач;
- 6) снижение создаваемых ОМК электромагнитных помех;
- 7) снижение стоимости ОМК.

Исходная (базовая) модель 8-разрядного ОМК семейства MCS-51 – микроконтроллер 8051, выпущенный фирмой INTEL в 1980 г., оказался чрез-

вычайно удачным по программным возможностям, по набору встроенных периферийных устройств, по альтернативной возможности выбора внешней или внутренней памяти программ и по цене. Отмеченные преимущества обеспечили широкий спрос пользователей на микроконтроллер 8051. Совершенствуя исходную модель, фирма INTEL вскоре выпустила модификацию с увеличенной емкостью встроенной памяти программ, с третьим таймером с функциями «захвата и сравнения», а также с контроллером прерываний с расширенными возможностями. Следующим важным этапом в развитии семейства MCS-51 стал переход на КМОП-технологии, позволивший реализовать для ОМК режимы пониженного потребления (режимы холостого хода и микропотребления) [2]. Последним шагом на пути совершенствования семейства MCS-51 в рамках исходной архитектуры стал выпуск модификаций, обозначенных 8xC51FX, где x- указывает тип встроенной памяти программ, а X – ее емкость [3]. Основной отличительной особенностью группы модификаций 8xC51FX является набор программируемых счетчиков. В состав этого набора входят 16-разрядный таймер-счетчик и пять 16-разрядных регистров с функциями «захвата» и вывода их содержимого, а также сравнения содержимого регистров с кодами уставок. Каждый из пяти регистров связан со своей линией порта ввода/вывода ОМК. Помимо функций «захвата и сравнения», регистры могут выполнять функции 16-битовых «защелок», 16-битовых таймеров, 16-битовых высокоскоростных устройств вывода данных, а один из них – пятый – может быть запрограммирован на режим «сторожевого таймера». Отметим, что выполнение всех указанных функций происходит на аппаратном уровне и не загружает процессорный узел ОМК.

Фирма PHILIPS в настоящее время является мировым лидером по количеству выпускаемых модификаций микроконтроллеров семейства MCS-51 – более 100. Эти модификации охватывают микроконтроллеры с числом выводов от 24 до 80, с тактовыми частотами до 40 МГц. Во всех модификациях используется базовое ядро MCS-51, поэтому все временные и функциональные характеристики модификаций полностью соответствуют характеристикам ОМК семейства MCS-51. Основное внимание фирма PHILIPS сосредоточила на расширении состава периферийных узлов, содержащихся в кристалле, что увеличивает функциональные возможности ОМК.

В частности, ОМК фирмы PHILIPS содержат:

- АЦП с числом разрядов до 10;
- широтно-импульсные модуляторы;
- массивы программируемых таймеров-счетчиков;
- интерфейсы I²S, CAN;
- специализированные интерфейсы для телевизионной аппаратуры.

Кроме того, фирма PHILIPS непрерывно улучшает технические показатели выпускаемых ОМК за счет постоянного совершенствования техно-

логии. Основные результаты, полученные фирмой путем технологических улучшений:

- в области низких рабочих частот граница доведена до 0 Гц (допускается остановка ОМК с фиксацией состояния программно-управляемых узлов, а затем продолжение работы по программе);
- количество аппаратных уровней прерывания доведено до 4;
- добавлен второй регистр-указатель данных DPTR;
- введена функция снижения электромагнитных помех;
- введена функция программируемого вывода частоты синхронизации (clock-out);
- увеличена емкость памяти данных до 1 Кбайта и памяти программ до 64 Кбайт (Flash-память).

Среди фирм, выпускающих микроконтроллеры семейства MCS-51, следует отметить ATMEL и ANALOG DEVICES.

Фирма ATMEL за счет совершенства технологии сумела обеспечить:

- самые низкие цены на свои ОМК;
- возможность внутрисхемного программирования памяти программ для некоторых модификаций ОМК.

Лучшие модели ОМК фирмы ATMEL характеризуются емкостью памяти данных до 256 байт и емкостью памяти программ до 20 Кбайт (Flash).

Фирма ANALOG DEVICES использовала свои высокие достижения в области АЦП и ЦАП в разработанных ОМК, использующих базовое ядро MCS-51. Выпускаемые этой фирмой ОМК характеризуются емкостью памяти данных 256 байт, емкостью памяти программ 8 Кбайт (Flash) и содержат 16-битовый АЦП, работающий по принципу сигма-дельта модуляции, и два 12-битовых ЦАП.

Дальнейшее совершенствование семейства MCS-51 было продиктовано требованием повышения производительности этих микроконтроллеров. Удовлетворить этому можно было двумя основными способами: уменьшением времени выполнения команд и увеличением разрядности операндов. Однако, учитывая громадный объем разработок программного и аппаратного обеспечения для семейства MCS-51, необходимо было обеспечить программную и аппаратную совместимость новых ОМК с ранее выпущенными.

Для решения такой сложной и противоречивой задачи были объединены усилия специалистов фирм INTEL и PHILIPS; но направление и конечный результат работы специалистов этих фирм оказались различными. Специалистами INTEL было разработано подсемейство микроконтроллеров MCS-251/151, а специалистами PHILIPS – подсемейство MCS-51XA.

Архитектура подсемейства MCS-251 является развитием архитектуры MCS-51. Её программная часть использует как основу систему команд MCS-51, а аппаратная – набор узлов стандартного ядра семейства MCS-51: три таймера-счетчика, последовательный порт, набор программируемых счетчи-

ков и отдельный «сторожевой» таймер. Увеличение производительности микроконтроллеров MCS-251 было достигнуто за счет добавления к «старой» системе команд «нового набора» команд с 16 и 32-разрядными операндами, увеличения адресного пространства, использования конвейерного принципа работы центрального процессора и укорочения циклов обмена по магистрали. Перед применением микроконтроллера рассматриваемого подсемейства его необходимо сконфигурировать с помощью программатора на один из двух возможных режимов работы. В первом режиме (Binary mode) MCS-251 совместим с MCS-51 на уровне двоичного кода, что дает возможность при программировании использовать «старую» систему команд MCS-51. Однако команды «нового» набора в этом режиме также можно использовать, применяя специальный код доступа к ним – 0A5H. При этом длина каждой команды увеличивается на 1 байт. Во втором режиме (Source mode) ОМК изначально программируется на работу с «новым» набором команд. При этом программы, написанные для MCS-51, требуют перекомпиляции на кросс-средствах, разработанных для этого фирмой INTEL.

Для пользователей, предполагающих простую замену ОМК семейства MCS-51 на MCS-251, INTEL выпускает микросхемы MCS-251, уже запрограммированные на первый режим. Такие ОМК имеют марку MCS-151.

Результатом работы фирмы PHILIPS стало подсемейство MCS-51XA [4]. ОМК этого подсемейства оперируют 16-разрядными словами, характеризуются 24-разрядной адресной шиной (16 Мбайт) для памяти программ и данных, расширенной системой команд и выполняют команды типа «регистр-регистр» за 100 нс. Однако ОМК этого подсемейства напрямую программно несовместимы с ОМК, использующими ядро семейства MCS-51. Соответственно простая замена MCS-51 на MSC-51XA невозможна. Но каждой команде MCS-51 обязательно соответствует её аналог среди команд подсемейства MSC-51XA, что дает основание говорить об их совместимости по исходному тексту программы. Исходя из этого соответствия, фирма PHILIPS разработала спецпрограмму-транслятор исходного текста на ассемблере MCS-51 в исходный текст на ассемблере MSC-51XA. Кроме того, в подсемействе MSC-51XA сохранена такая же структура памяти, что и в ОМК семейства MCS-51, что оставляет неизменными способы обращения к памяти программ, данных и к регистрам специальных функций, применявшиеся в программах для ОМК семейства MCS-51. Этим обеспечивается совместимость подсемейства MSC-51XA с микроконтроллерами MCS-51 на аппаратном уровне.

ОМК семейства MCS-51 предназначены для проектирования встраиваемых микроЭВМ, выполняющих обработку данных и управление различными объектами в соответствии с заложенной в эти микроЭВМ программой. В зависимости от выбранной модификации ОМК семейства MCS-51 и от назначения создаваемой микроЭВМ, последняя может потребовать

некоторого количества дополнительных компонентов: микросхем внешней памяти программ и данных, клавиатуры, индикаторного устройства и т. д.

Функциональные возможности микроконтроллеров семейства MCS-51 определяются не только преимуществами программного решения многих задач, встречающихся в практике технического проектирования, но и набором включенных в состав кристалла ОМК устройств ввода-вывода, а также их техническими показателями. По совокупности функциональных возможностей и технических характеристик ОМК семейства MCS-51, в первую очередь, ориентированы на применение во встраиваемых микроЭВМ различных средств измерений и управления. Именно в этих устройствах ОМК семейства MCS-51 обеспечивают высокие технические показатели (в том числе и наивысшие метрологические характеристики) при максимальной экономической эффективности.

Ниже функциональные возможности и технические характеристики ОМК семейства MCS-51 иллюстрируются на примере микроконтроллера 80C552 – одного из наиболее интересных ОМК с точки зрения применимости в различных средствах измерений. Фирма PHILIPS в самые последние годы выпустила модификации ОМК 80C552, отличающиеся более высоким быстродействием – 8xC554 и 8xC556. Однако усовершенствования коснулись микропроцессорного "ядра", структура и характеристики узлов ввода – вывода и периферийных устройств остались практически такими же, как и у исходной модели 80C552.

Ознакомление со структурой основных функциональных узлов, изучение функциональных возможностей и технических характеристик исходной модели 80C552 послужит читателям настоящего пособия основой для успешного применения всех модификаций 80C552.

2. ОПИСАНИЕ ОМК 80C552

2.1. Условное графическое обозначение ОМК. Назначение выводов

Микросхема 80C552 представляет собой 8-разрядный микроконтроллер, изготовленный по КМОП-технологии, и является разновидностью ОМК подсемейства 8xC552, которая входит в состав непрерывно совершенствуемого семейства MCS-51. Микроконтроллер 80C552 предполагает использование внешней памяти программ и содержит память данных с организацией 256x8; пять 8-разрядных портов ввода-вывода и один 8-разрядный порт ввода; два 16-разрядных таймера/счетчика и дополнительный 16-разрядный таймер, снабженный регистрами-защелками "захвата" содержимого таймера и регистрами-защелками сравнения; устройства обработки прерываний от 15-

ти источников с двумя уровнями приоритета. Кроме того, 80C552 содержит встроенную систему сбора данных, включающую восьмивходовый коммутатор аналоговых сигналов и 10-разрядный АЦП; программируемый узел с двумя выходами сигналов с широтно-импульсной; два порта последовательного ввода/вывода для организации стандартного последовательного интерфейса с устройствами ввода/вывода и интерфейсной шины I²C; «сторожевой» таймер; устройство синхронизации работы ОМК, состоящее из генератора тактовых импульсов и схемы тактирования. Назначение выводов 80C552 представлено в табл. 2.1; условное графическое обозначение – на рис. 2.1.

Таблица 2.1. Назначение выводов ОМК

№ вывода	Обозначение	Назначение	Тип
2	V _{DD}	Вывод для подачи напряжения питания цифровых узлов	Вход
3	STADC	Аппаратный запуск АЦП	Вход
4	/PWM0	ШИМ, выход 0	Выход
5	/PWM1	ШИМ, выход 1	Выход
6	/EW	Разрешение работы «сторожевого» таймера и запрет режима пониженной мощности потребления (режим микропотребления)	Вход
57-50	P0.0-P0.7	Порт 0: 8-разрядный двунаправленный порт с 3-мя состояниями выводов. Мультиплексируемая шина адреса/данных при работе с внешней памятью	Вход/Выход
16-23	P1.0-P1.7	Порт 1: 8-разрядный квазидвунаправленный порт с альтернативными функциями выводов	Вход/Выход
16-21	P1.0-P1.5	Выводы с внутренней нагрузкой	Вход/Выход
22-23	P1.6-P1.7	Выводы с открытым стоком	Вход/Выход
16-19	CT.0-CT.3	В режиме альтернативных функций: входы сигналов захвата таймера T2	Вход
20	C/T2	Счетный вход T2	Вход
21	R/T2	Вход сброса T2	Вход
22	SCL	Вход/выход последовательного сигнала синхронизации для интерфейсной шины I ² C	Вход/Выход
23	SDA	Вход/выход последовательных данных для интерфейсной шины I ² C	Вход/Выход
39-46	P2.0-P2.7	Порт2: 8-разрядный двунаправленный порт с альтернативными функциями выводов. В режиме альтернативной функции на выводах порта фиксируются старшие разряды адреса при работе с внешней памятью	Вход/Выход

Окончание табл. 2.1

№ вывода	Обозначение	Назначение	Тип
24-31	P3.0-P3.7	Порт 3: 8-битовый двунаправленный порт с альтернативными функциями	Вход/Выход
24	RxD	В режиме альтернативных функций: вход последовательного порта; выход последовательного порта; вход внешнего прерывания 0-/INT0; вход внешнего прерывания 1-/INT1; вход таймера\счетчика 0; вход таймера\счетчика 1; выход синхросигнала при записи во внешнюю память данных; выход синхросигнала при чтении из внешней памяти данных	Вход
25	TxD		Выход
26	/INT0		Вход
27	/INT1		Вход
28	T0		Вход
29	T1		Вход
30	/WR		Выход
31	/RD		Выход
7-14	P4.0-P4.7	Порт 4: 8-разрядный двунаправленный порт с альтернативными функциями.	Вход/Выход
7-12	CMSR0-CMSR5	В режиме альтернативных функций: выходы сравнения и установки/сброса по состоянию таймера T2; выходы сравнения и переключения по состоянию таймера T2	Выход
13-14	CMT0-CMT1		Выход
1,68-62	P5.0-P5.7	Порт 5: 8-разрядный порт входа с альтернативной функцией	Вход
1,68-62	ADC0-ADC7	В режиме альтернативной функции: восемь аналоговых входов системы сбора данных.	Вход
15	RST	Вход подачи сигнала сброса ОМК; может также использоваться как выход сигнала внутреннего сброса при переполнении «сторожевого таймера» T3	Вход\Выход
35	XTAL1	Выводы для подключения кварцевого резонатора	Вход
34	XTAL2		Выход
36,37	V _{SS}	Общий вывод цифровых узлов ОМК	Вход
47	/PSEN	Выход сигнала разрешения для внешней памяти программ	Выход
48	ALE	Синхросигнал фиксации во внешнем регистре-защелке младшего байта адреса при работе с внешней памятью	Выход
49	/EA	Вход блокировки работы с внутренней памятью программ	Вход
58	AV _{REF+}	Выводы подключения резистора опорного источника напряжения АЦП	Вход
59	AV _{REF-}		Вход
60	AV _{SS}	Общий вывод аналоговых узлов ОМК	Вход
61	AV _{DD}	Вывод подачи напряжения питания на аналоговые узлы ОМК	Вход

PCB 80C552

35	XTAL 1	MSC	P0.0	57
34	XTAL 2		P0.1	58
40			P0.2	59
48	EA		P0.3	60
47	ALE		P0.4	61
61	PSEN		P0.5	62
60	AVDD		P0.6	63
59	AVSS		P0.7	64
58	AVREF+		P0.8	65
3	AVREF-		P0.9	66
4	STADC	P0.10	67	
5	PWM0	P0.11	68	
15	PWM1	P0.12	69	
6	RST	P0.13	70	
16	EW	P0.14	71	
17	P1.0	P0.15	72	
18	P1.1	P0.16	73	
19	P1.2	P0.17	74	
20	P1.3	P0.18	75	
21	P1.4	P0.19	76	
22	P1.5	P0.20	77	
23	P1.6	P0.21	78	
1	P1.7	P0.22	79	
68	P4.0	P0.23	80	
67	P4.1	P0.24	81	
66	P4.2	P0.25	82	
65	P4.3	P0.26	83	
64	P4.4	P0.27	84	
63	P4.5	P0.28	85	
62	P4.6	P0.29	86	
61	P4.7	P0.30	87	
60	P4.8	P0.31	88	
59	P4.9	P0.32	89	
58	P4.10	P0.33	90	
57	P4.11	P0.34	91	
56	P4.12	P0.35	92	
55	P4.13	P0.36	93	
54	P4.14	P0.37	94	
53	P4.15	P0.38	95	
52	P4.16	P0.39	96	
51	P4.17	P0.40	97	
50	P4.18	P0.41	98	
49	P4.19	P0.42	99	
48	P4.20	P0.43	100	
47	P4.21	P0.44	101	
46	P4.22	P0.45	102	
45	P4.23	P0.46	103	
44	P4.24	P0.47	104	
43	P4.25	P0.48	105	
42	P4.26	P0.49	106	
41	P4.27	P0.50	107	
40	P4.28	P0.51	108	
39	P4.29	P0.52	109	
38	P4.30	P0.53	110	
37	P4.31	P0.54	111	
	VSS	VDD	2	
		VSS	36	

Рис. 2.1. ОМК 80C552. Обозначение условное графическое

2.2. Внутреннее ОЗУ

2.2.1. Структура внутреннего ОЗУ и особенности адресации

Внутреннее ОЗУ ОМК состоит из резидентной памяти данных (РПД) и регистров специальных функций (РСФ).

РПД емкостью 256 байт разделена на две секции; первая занимает адресное пространство 00...7FH, вторая – 80H...FFH. Эти секции различаются способами адресации и возможным использованием расположенных в них ячеек РПД. Рассмотрим эти различия.

1-я секция РПД:

адресация всех ячеек может быть как прямой, так и косвенной;

ячейки с адресами 00...1FH могут быть использованы как регистры общего назначения, сгруппированные в 4 банка;

для ячеек с адресами 20H...2FH допускается побитовая адресация; адреса битов - от 0 (младший бит ячейки с адресом 20H) до 7FH (старший бит ячейки с адресом 2FH).

2-я секция РПД:

для всех ячеек этой секции (адреса 80H...FFH) допускается только косвенная адресация.

Помимо указанных двух секций РПД в состав ОМК входит секция РСФ, представляющая собой 56 ячеек ОЗУ с адресами, значения которых расположены в области 80H...FFH, причем для них, в отличие от ячеек РПД, допускается лишь прямая адресация.

В табл. 2.2 приведен в алфавитном порядке перечень РСФ 80С552, при этом в графе «Дополнение к 80С51» отмечены регистры, отсутствующие в микроконтроллере 80С51 (символ «+»), а также регистры, унаследованные от 80С51, но претерпевшие определенные изменения (символ «*»).

Таблица 2.2. Регистры специальных функций ОМК 80С552

Обозначение регистра	Назначение	Адрес	Состояние после сброса	Побитовая адресация	Дополнение к 80С51
ACC	Аккумулятор	E0H	0	+	
ADCH	Старшие разряды АЦП	C6H	неопр.		+
ADCON	Управление АЦП	C5H	XX000000B		+
B	Регистр В	F0H	0	+	
CMH0	Старшие разряды регистра сравнения 0	C9H	0		+
CMH1	Старшие разряды регистра сравнения 1	CAH	0		+
CMH2	Старшие разряды регистра сравнения 2	CBH	0		+
CML0	Младшие разряды регистра сравнения 0	A9H	0		+

Продолжение табл. 2.2

Обозначение регистра	Назначение	Адрес	Состояние после сброса	Побитовая адресация	Дополнение к 80C51
CML1	Младшие разряды регистра сравнения 1	AAH	0		+
CML2	Младшие разряды регистра сравнения 2	ABH	0		+
CTCON	Управление захватом	EBH	0		+
CTH0	Старшие разряды регистра захвата 0	CSH	неопределено		+
CTH1	Старшие разряды регистра захвата 1	CDH	неопределено		+
CTH2	Старшие разряды регистра захвата 2	CEH	неопределено		+
CTH3	Старшие разряды регистра захвата 3	CFH	неопределено		+
CTL0	Младшие разряды регистра захвата 0	ACH	неопределено		+
CTL1	Младшие разряды регистра захвата 1	ADH	неопределено		+
CTL2	Младшие разряды регистра захвата 2	AEH	неопределено		+
CTL3	Младшие разряды регистра захвата 3	AFH	неопределено		+
DPTR:	Указатель адреса				
DPL	Младший байт	82H	0		
DPH	Старший байт	83H	0		
IEN0	Разрешение прерывания 0	A8H	0	+	*
IEN1	Разрешение прерывания 1	E8H	0	+	
IP0	Приоритет прерывания 0	B8H	X0000000B	+	*
IP1	Приоритет прерывания 1	F8H	0	+	
P0	Порт 0	80H	FFH	+	
P1	Порт 1	90H	FFH	+	
P2	Порт 2	A0H	FFH	+	
P3	Порт 3	B0H	FFH	+	
P4	Порт 4	C0H	FFH		+
P5	Порт 5	C4H	неопределено		+
PCON	Управление потреблением	87H	00XX0000B		*
PSW	Слово состояния	D0H	0	+	
PWM0	ШИМ-регистр 0	FDH	0		+
PWM1	ШИМ-регистр 1	FDH	0		+
PWMP	Делитель частоты ШИМ сигналов	FAH	0		+
RTE	Разрешение сброса	EFH	0		+
SP	Указатель стека	81H	7		
S0BUF	Буфер данных послед. порта 0	99H	неопределено		

Окончание табл. 2.2

Обозначение регистра	Назначение	Адрес	Состояние после сброса	Побитовая адресация	Дополнение к 80C51
S0CON	Регистр управления последовательным портом 0	98H	0	+	
S1ADR	Адрес последовательного порта 1	DBH	0		+
S1CON	Регистр управления последовательным портом 1	D8H	0	+	+
S1DAT	Данные последовательного порта 1	DAH	0		+
S1STA	Состояние последовательного порта 1	DAH	F8H		+
STE	Разрешение установки	EEH	00H		+
TCON	Управление таймерами 0,1	88H	0	+	
TH0	Старшие разряды таймера 0	8CH	0		
TH1	Старшие разряды таймера 1	8DH	0		
TL0	Младшие разряды таймера 0	8AH	0		
TL1	Младшие разряды таймера 1	8BH	0		
TMH2	Старшие разряды таймера 2	EDH	0		+
TML2	Младшие разряды таймера 2	ECH	0		+
TMOD	Режим таймеров 0, 1	89H	0		
TM2CON	Управление таймером 2	EAH	0		+
TM2IR	Флаги прерываний таймера 2	C8H	0	+	+
T3	Таймер 3	FFH	неопределено		+

В табл. 2.3 представлено в виде символических имен и адресов соответствующих битов (в шестнадцатеричной системе счисления) содержимое побитно адресуемых РСФ.

Таблица 2.3. Содержимое побитно адресуемых РСФ

Обозначение регистров	Обозначение битов и их адреса							
	D7	D6	D5	D4	D3	D2	D1	D0
ACC	A.7 E7	A.6 E6	A.5 E5	A.4 E4	A.3 E3	A.2 E2	A.1 E1	A.0 E0
B	B.7 F7	B.6 F6	B.5 F5	B.4 F4	B.3 F3	B.2 F2	B.1 F1	B.0 F0
IEN0	EA AF	EAD AE	ES1 AD	ES1 AC	ET1 AB	EX1 AA	ET0 A9	EX0 A8
IEN1	ET2 EF	ECM2 EE	ECM1 ED	ECM0 EC	ECT3 EB	ECT2 EA	ECT1 E9	ECT0 E8
IP0	- BF	PAD BE	PS1 BD	PS0 BC	PT1 BB	PX1 BA	PT0 B9	PX0 B8
IP1	PT2 FF	PCM2 FE	PCM1 FD	PCM0 FC	PCT3 FB	PCT2 FA	PCT1 F9	PCT0 F8
P0	AD7 87	AD6 86	AD5 85	AD4 84	AD3 83	AD2 82	AD1 81	AD0 80
P1	P1.7 97	P1.6 96	P1.5 95	P1.4 94	P1.3 93	P1.2 92	P1.1 91	P1.0 90
P2	P2.7 A7	P2.6 A6	P2.5 A5	P2.4 A4	P2.3 A3	P2.2 A2	P2.1 A1	P2.0 A0
P3	P3.7 B7	P3.6 B6	P3.5 B5	P3.4 B4	P3.3 B3	P3.2 B2	P3.1 B1	P3.0 B0
PSW	CY D7	AC D6	F0 D5	RS1 D4	RS0 D3	OV D2	F1 D1	P D0
S0CON	SM0 9F	SM1 9E	SM2 9D	REN 9C	TB8 9B	RB8 9A	TI 99	RI 98
S1CON	CR2 DF	ENS1 DE	STA DD	ST0 DC	SI DB	AA DA	CR1 D9	CR0 D8
TCON	TF1 8F	TR1 8E	TF0 8D	TR0 8C	IE1 8B	IT1 8A	IE0 89	IT0 88
TM2IR	T2OV CF	CMI2 CE	CMI1 CD	CMI0 CC	CTI3 CB	CTI2 CA	CTI1 C9	CTI0 C8

2.3. Порты ввода-вывода

Для обеспечения обмена информацией с внешними устройствами ОМК 80С552 имеет шесть 8-разрядных портов P0-P5. Каждый из портов содержит фиксатор-защёлку, который представляет собой 8-разрядный регистр, допускающий как байтовую, так и битовую адресацию. Порты P0, P2 и P3 схемотехнически и алгоритмически полностью повторяют одноимённые порты ОМК 80С51. Отличие порта P1 ОМК 80С552 от одноимённого порта 80С51 определяется тем, что его выходы могут выполнять альтернативные функции (см. раздел 2.1).

Порт P4 в режиме ввода-вывода работает также, как и порты P1, P2 и P3. Порт P5 при взаимодействии с внешними устройствами может работать только в качестве входного порта.

Повторяя схемотехническую организацию одноимённого порта 80С51, выходные каскады каждого разряда порта P0 ОМК 80С552 не содержат «подтягивающих резисторов» и, следовательно, порт P0 является двунаправленным и имеет выходы с тремя состояниями. В портах P1 (за исключением выводов P1.6 и P1.7), P2, P3 и P4 ОМК 80С552 выходные каскады имеют «подтягивающие резисторы». Поэтому эти порты являются квазидвунаправленными и в состоянии «оборванный вход» их выходы имеют уровень логической «1». Выводы же P1.6 и P1.7 в режиме альтернативных функций являются линиями сигналов синхронизации SCL (P1.6) и сигналов последовательно передаваемых данных SDA (P1.7) шины I²C. Последняя для своего управления требует выходных каскадов с открытым коллектором или открытым стоком. В соответствии с этим требованием выходные каскады выводов P1.6 и P1.7 построены по схеме «открытый сток» и, естественно, не могут иметь «подтягивающих резисторов». Очевидно, что при работе в режиме обмена данными с внешними устройствами выходы P1.6 и P1.7 должны быть подсоединены к источнику питания ОМК через резисторы, рекомендуемое значение сопротивления которых равно 10 кОм.

Порт P5 при взаимодействии ОМК с внешними устройствами может принимать цифровые сообщения по восьми входам. В режиме альтернативной функции выходы порта P5 являются входами восьмиканального мультиплексора аналоговых сигналов. Мультиплексор вместе с АЦП последовательных приближений, входящим в состав ОМК 80С552, образуют простейшую систему сбора аналоговых данных. Порт P5 допускает режим, при котором одна часть вводов принимает аналоговые сигналы, а другая – цифровые. При этом коэффициент перекрёстных помех между каналами, принимающими разнородные сигналы, в полосе частот 0 – 100 кГц не превышает – 60 дБ. Альтернативные функции выводов портов ОМК 80С552 были указаны в табл. 2.1.

2.4. ТАЙМЕРЫ

Блок таймеров ОМК типа 80С552 включает четыре устройства: Т/С0, Т/С1, Т/С2, Т3. Однотипные таймеры-счетчики Т/С0, Т/С1 унаследованы от ОМК 80С51 [2]; о них будут приведены краткие сведения. Более подробно будут рассмотрены Т/С2 и Т3.

2.4.1. Таймеры-счетчики Т/С0, Т/С1

Таймер-счетчик Т/С0 (Т/С1) представляет собой 16-разрядный регистр, содержимое которого может инкрементироваться либо по истечении каждого машинного цикла (режим таймера), либо с появлением положительного перепада на входе счетчика внешних событий Т0 (Т1) (режим счетчика). При этом в режиме таймера частота инкрементирования равняется $f_{osc}/12$ (где f_{osc} – частота кварцевого резонатора). В режиме счетчика минимальные длительности импульса и паузы внешнего сигнала равняются $12/f_{osc}$.

Таймер-счетчик Т/С0 (Т/С1) разделен на младшую и старшую половины, каждая из которых представляет собой 8-разрядный регистр: TL0 (TL1) и TH0 (TH1).

Таймер-счетчик Т/С0 (Т/С1) может быть настроен на работу в одном из четырех режимов: РЕЖИМ 0, РЕЖИМ 1, РЕЖИМ 2, РЕЖИМ 3.

РЕЖИМ 0: унаследован от ОМК семейства MCS-48; в этом режиме используется 13 разрядов Т/С0 (Т/С1) - 5 младших разрядов TL0 (TL1) и 8 разрядов TH0 (TH1).

РЕЖИМ 1: в этом режиме используется 16 разрядов Т/С0 (Т/С1).

РЕЖИМ 2: в этом режиме используется 8-разрядный таймер-счетчик TL0 (TL1) с автозагрузкой начального кода при переполнении; начальный код размещается в TH0 (TH1).

РЕЖИМ 3: в этом режиме Т/С1 остановлен; TL0 используется как 8-разрядный таймер-счетчик; TH0 – как 8-разрядный таймер, причем в качестве бита включения и флага переполнения используются биты регистра специальных функций TCON, соответственно, TR0 и TF0.

Установка режимов Т/С0 и Т/С1 и управление их работой осуществляется регистрами специальных функций TMOD и TCON. Назначение битов этих регистров приведено ниже.

TMOD (адрес 89H, побитовая адресация не разрешена):

TMOD.7 (GATE1) - установка разрешения инкремента Т/С1 от внешнего сигнала INT1 (1 - разрешен);

TMOD.6 (C/T1) - установка режима счетчика (1) или таймера (0) для Т/С1;

TMOD.5 (M1.1) - старший разряд кода режима для Т/С1;

TMOD.4 (M1.0) - младший разряд кода режима для Т/С1;

TMOD.3 (GATE0) - установка разрешения инкремента T/C0 от внешнего сигнала INT0 (1 - разрешен);

TMOD.2 (C/T0) - установка режима счетчика (1) или таймера (0) для T/C0;

TMOD.1 (M0.1) - старший разряд кода режима для T/C0;

TMOD.0 (M0.0) - младший разряд кода режима для T/C0.

TCON (адрес - 88H, побитовая адресация разрешена):

TCON.7 (TF1) - флаг переполнения T/C1;

TCON.6 (TR1) - включение T/C1 (1 - включен);

TCON.5 (TF0) - флаг переполнения T/C0;

TCON.4 (TR0) - включение T/C0 (1 - включен);

TCON.3 (IE1) - флаг запроса прерывания от внешнего сигнала INT1;

TCON.2 (IT1) - активизация прерывания по входу INT1 (0 – по "нулевому" уровню, 1 – по переходу из "1" в "0");

TCON.1 (IE0) - флаг запроса прерывания от внешнего сигнала INT0;

TCON.0 (IT0) - активизация прерывания по входу INT0 (0 – по "нулевому" уровню, 1 – по переходу из "1" в "0").

2.4.2. Таймер/счетчик 2

В отличие от ОМК 80C51 микроконтроллер 80C552 содержит дополнительный таймер/счетчик 2 (T/C2), структурная схема которого представлена на рис. 2.2, где окружностями обозначены внешние выходы 80C552.

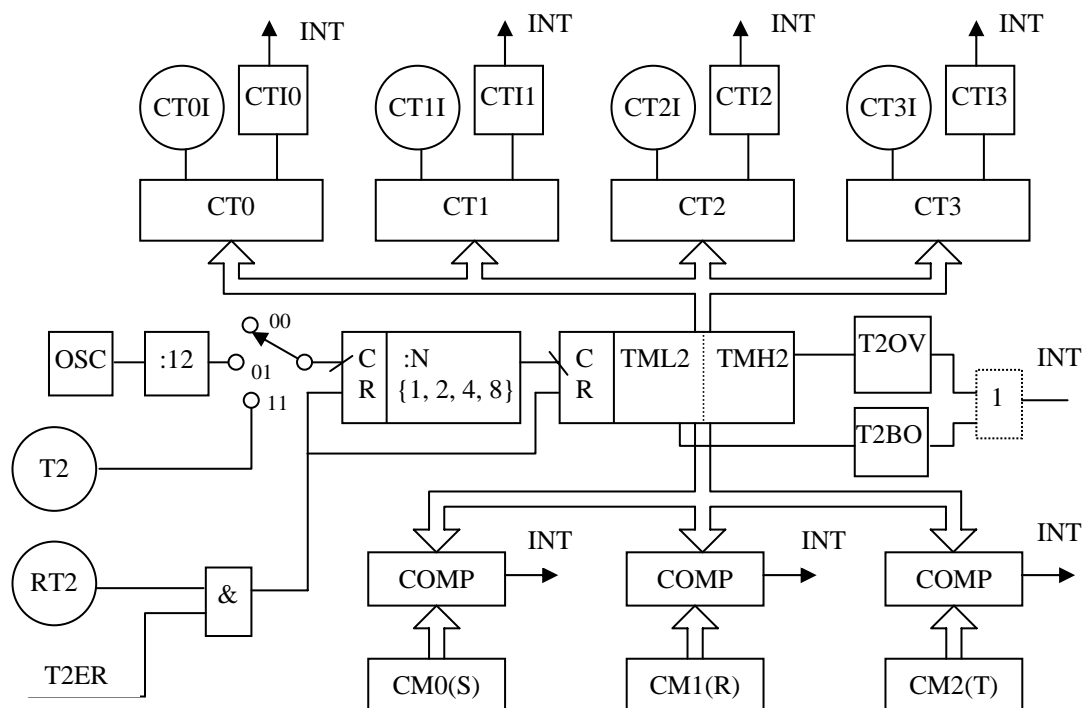


Рис. 2.2. Структурная схема таймера/счетчика 2

Как видно из рис. 2.2, T/C2 представляет подсистему микроконтроллера 80C552, состоящую из трех основных частей:

- 16-разрядного таймера/счетчика с делителем частоты;
- системы захвата (фиксации текущего содержимого таймера/счетчика), состоящей из четырех регистров захвата (СТ0 ÷ СТ3) и четырех входов управления захватом (СТ0I ÷ СТ3I); система захвата позволяет осуществлять измерения длительностей внешних сигналов;
- системы сравнения текущего значения 16-разрядного счетчика с уставками, включающей три регистра уставок (СМ0 ÷ СМ2) и восемь связанных с ними выходов, которые могут быть активизированы при совпадении значений 16-битового счетчика и одного из регистров СМ0 ÷ СМ2.

Основу таймера/счетчика составляет суммирующий 16-разрядный счетчик, программно доступный только для чтения через пару регистров специальных функций ТМН2 (старший байт) и ТМЛ2 (младший байт). Счетчик связан с двумя флагами переполнения: Т2OV и Т2ВО. Флаг Т2OV устанавливается при переполнении всего 16-разрядного счетчика, а флаг Т2ВО – при переполнении младшего байта счетчика. Отметим, что переполнение всего счетчика обязательно сопровождается переполнением его младшего байта. Оба эти флага или один из них могут являться источниками запроса прерывания. В любом случае вектор прерывания будет одним и тем же. Рассматриваемый таймер/счетчик управляется через регистр специальных функций ТМ2CON, назначение битов которого представлено на рис. 2.3. Этот регистр не имеет побитовой адресации.

Импульсы поступают на счетчик с выхода делителя частоты (обозначенного на рис. 2.2 как :N) с программируемым коэффициентом деления, значения которого (1, 2, 4 или 8) определяют биты Т2P1 и Т2P0 регистра ТМ2CON. Таймер/счетчик может быть запрограммирован для работы либо в качестве таймера, либо в качестве счетчика внешних событий. В первом случае источником сигнала делителя частоты является OSC – внутренний генератор микроконтроллера, во втором – внешний генератор, подключаемый к выводу Т2. Вход делителя частоты также может быть отключен от какого-либо источника сигнала. Выбор источника сигнала определяется битами Т2MS0 и Т2MS1 регистра ТМ2CON.

Делитель частоты увеличивает свое значение на 1 при переходе сигнала на его входе из «0» в «1». Когда вывод Т2 – источник сигнала, последний аппаратно выбирается с целью обнаружения перехода сигнала из «0» в «1». Выборки производятся дважды за машинный цикл в фазах S2P1 и S5P1. Пе-

реход сигнала из «0» в «1» обнаруживается при фиксации «0» при одной выборке и «1» при следующей выборке. Если переход из «0» в «1» обнаружен в фазе S2P1 текущего машинного цикла, делитель частоты инкрементируется в начале следующего машинного цикла; в противном случае он инкрементируется на один цикл позднее. Отметим, что в данном случае частота выборки в два раза превышает частоту выборки стандартных таймеров/счетчиков T/C0 и T/C1. Следовательно, максимальная частота внешнего сигнала для T/C2 в два раза выше аналогичной частоты для T/C0 и T/C1 и составляет $f_{osc}/12$.

7	6	5	4	3	2	1	0	
T2IS1	T2IS0	T2ER	T2BO	T2P1	T2P0	T2MS1	T2MS0	
Бит	Имя и назначение							
T2IS1	Бит разрешение прерывания 16-разрядного переполнения T/C2 Устанавливается (сбрасывается) программно для разрешения (запрета) прерывания при переполнении TML2							
T2IS0	Бит разрешение прерывания 8-разрядного переполнения T/C2 Устанавливается (сбрасывается) программно для разрешения (запрета) прерывания при переполнении TML2							
T2ER	Бит разрешения сброса T/C2. Устанавливается (сбрасывается) программно для разрешения (запрета) сброса T/C2 внешним сигналом RT2 (P1.5)							
T2BO	Флаг прерывания 8-разрядного переполнения T/C2. Устанавливается при переполнении TML2							
T2P1	T2P0	Биты, определяющие коэффициент деления частоты на входе T2						
0	0	Коэффициент деления частоты – 1						
0	1	Коэффициент деления частоты – 2						
1	0	Коэффициент деления частоты – 4						
1	1	Коэффициент деления частоты – 8						
T2MS1	T2MS0	Биты выбора режима						
0	0	Останов таймера T2						
0	1	T2 – в режиме таймера (источник сигнала имеет частоту $f_{osc}/12$)						
1	0	Запрещенная комбинация						
1	1	T2 – в режиме счетчика внешних событий (сигнал поступает с вывода «T2»)						

Рис. 2.3. Назначение битов регистра TM2CON

Любое программирование источника тактовых импульсов или коэффициента деления делителя частоты приводит к сбросу последнего. Программный сброс 16-разрядного счетчика не предусмотрен, но он может быть сброшен сигналом RST или высоким уровнем внешнего сигнала RT2. Сброс по сигналу RT2 может быть разрешен или запрещен битом T2ER регистра

TM2CON. Рассмотренные сигналы сбрасывают как 16-разрядный счетчик, так и делитель частоты.

Система захвата служит для считывания (копирования) содержимого 16-разрядного счетчика в процессе счета. Эта система используется при измерениях длительностей импульсов и их периодов. Система захвата включает четыре внешних управляющих вывода СТ0I ÷ СТ3I, инициирующих захват, и четыре 16-разрядных регистра захвата СТ0 ÷ СТ3, в которые считывается содержимое счетчика. Выводы СТ0I ÷ СТ3I выполняют альтернативную функцию выводов P1.0 ÷ P1.3 порта P1.

Регистр СТ_i программно доступен через соответствующую пару регистров специальных функций СТ_{Ni}-СТ_{Li}, где СТ_{Ni} – старший байт регистра СТ_i; СТ_{Li} – младший байт регистра СТ_i; $i = \{0..3\}$. Каждый из выводов СТ0I ÷ СТ3I соединен с соответствующим регистром захвата. Изменение логического значения сигнала на управляющем выводе вызывает копирование текущего содержимого 16-разрядного счетчика в регистр захвата. Такое копирование может выполняться при различных условиях изменения сигнала на управляющем выводе. Эти условия задаются определенными битами регистра управления захватом СТCON, как показано на рис. 2.4. Данный регистр не имеет побитовой адресации.

		7	6	5	4	3	2	1	0
		СТN3	СТP3	СТN2	СТP2	СТN1	СТP1	СТN0	СТP0
Бит	Символ	Назначение							
СТCON.7	СТN3	Если установлен, разрешает копирование содержимого счетчика в регистр СТ3 по срезу сигнала на входе СТ3I							
СТCON.6	СТP3	Если установлен, разрешает копирование содержимого счетчика в регистр СТ3 по фронту сигнала на входе СТ3I							
СТCON.5	СТN2	Если установлен, разрешает копирование содержимого счетчика в регистр СТ2 по срезу сигнала на входе СТ2I							
СТCON.4	СТP2	Если установлен, разрешает копирование содержимого счетчика в регистр СТ2 по фронту сигнала на входе СТ2I							
СТCON.3	СТN1	Если установлен, разрешает копирование содержимого счетчика в регистр СТ1 по срезу сигнала на входе СТ1I							
СТCON.2	СТP1	Если установлен, разрешает копирование содержимого счетчика в регистр СТ1 по фронту сигнала на входе СТ1I							
СТCON.1	СТN0	Если установлен, разрешает копирование содержимого счетчика в регистр СТ0 по срезу сигнала на входе СТ0I							
СТCON.0	СТP0	Если установлен, разрешает копирование содержимого счетчика в регистр СТ0 по фронту сигнала на входе СТ0I							

Рис. 2.4. Назначение битов регистра СТCON

Для каждого управляющего вывода можно индивидуально установить следующие условия активизации захвата:

- по фронту сигнала;
- по срезу сигнала;
- по фронту и по срезу сигнала.

При выполнении захвата устанавливается соответствующий флаг запроса прерывания СТ10 ÷ СТ13 в регистре специальных функций ТМ21R.

Для обнаружения изменения управляющего сигнала, последний выбирается в фазе S1P1 каждого машинного цикла. Изменение обнаружено, если в текущем машинном цикле зафиксировано инверсное логическое значение сигнала по сравнению с предыдущим циклом. В результате в регистр захвата посылается импульс записи – содержимое 16-разрядного счетчика копируется в регистр захвата в конце текущего машинного цикла и устанавливается один из флагов СТ10 ÷ СТ13.

Система сравнения реализует аппаратное управление во времени состояниями восьми выходов, что позволяет достичь предельного быстродействия. Эта система может быть использована для формирования на выходах импульсных последовательностей или изменений их состояний в заданные моменты времени. Система сравнения включает три 16-разрядных регистра уставок СМ0 ÷ СМ2, восемь выходов – порт P4 (альтернативная функция порта) и два регистра специальных функций (STE, RTE), разрешающих изменение состояний выходов P4.

Каждый из регистров уставок СМ0 ÷ СМ2 программно доступен через соответствующую пару регистров специальных функций СМН0-СМЛ0 ÷ СМН2-СМЛ2; буквы «Н» и «L» в аббревиатуре регистров обозначают соответственно старший и младший байты регистров уставок СМ0 ÷ СМ2. Регистры уставок сбрасываются сигналом RST (сброс микроконтроллера).

Существует два типа выходов, отличающихся поведением при совпадении содержимых счетчика и регистра уставки. Первые шесть выходов P4.0 ÷ P4.5 устанавливаются или сбрасываются двумя разными импульсами, вырабатываемыми при совпадении. Поведение этих выходов подобно поведению RS-триггера. Два других выхода P4.6 и P4.7 инвертируют свое состояние при совпадении, что соответствует поведению счетного триггера. Функционирование этих двух типов выходов иллюстрирует рис. 2.5, где подробно изображено формирование состояния на выходе P4.5 и P4.6.

Каждый раз, когда содержимое счетчика T2 увеличивается на единицу, его новое значение сравнивается со значениями уставок в регистрах СМ0 ÷ СМ2. При положительном результате сравнения устанавливаются соответствующие флаги прерывания в регистре ТМ21R в конце следующего машинного цикла.

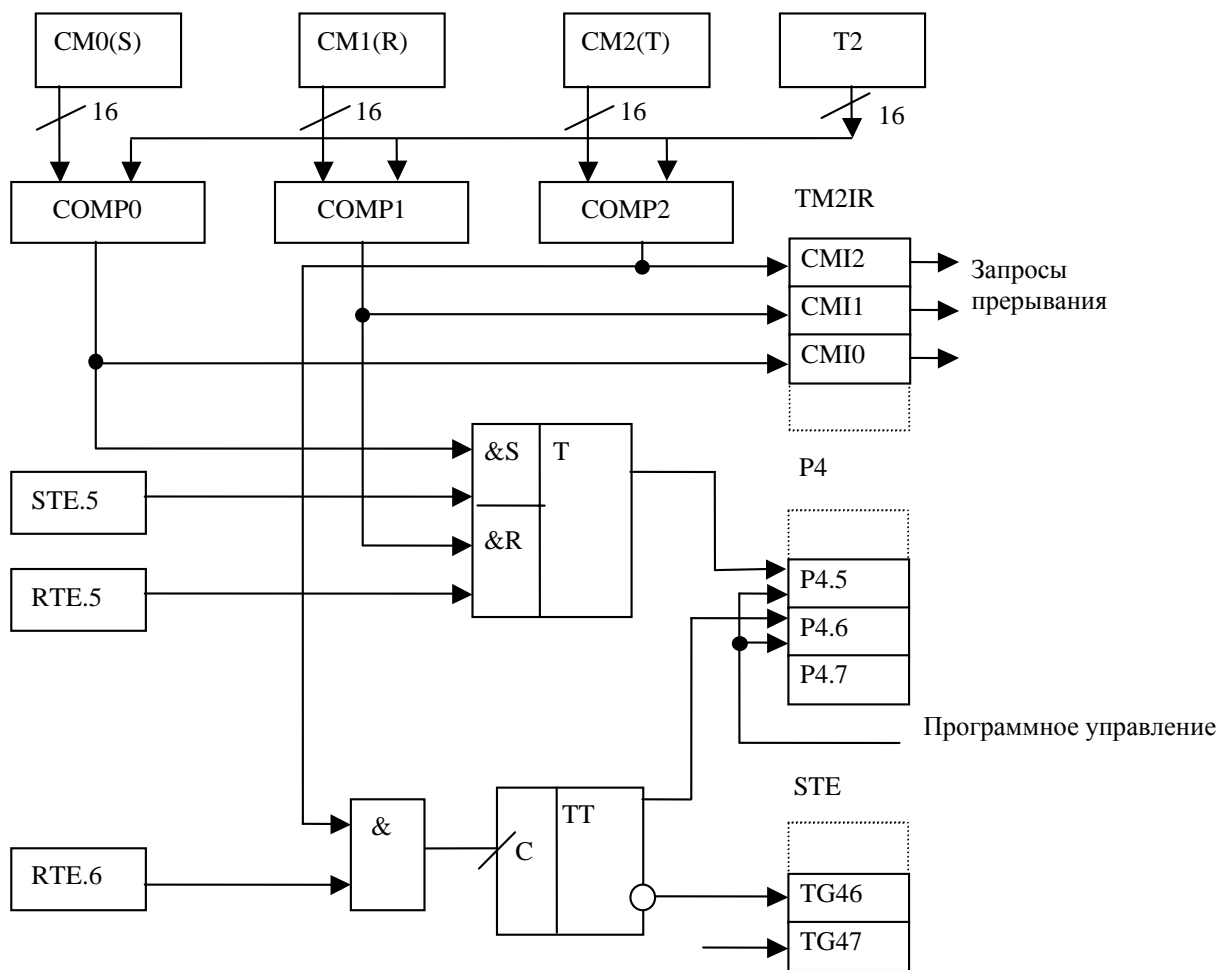


Рис. 2.5. Система сравнения для выходов P4.5 и P4.6

Когда имеется совпадение с CM0, устанавливаются биты P4.0 ÷ P4.5, если соответствующим битам регистра разрешения установки STE присвоено значение логической «1». Аналогично, когда содержимое счетчика и регистра CM1 совпадают, биты P4.0 ÷ P4.5 сбрасываются, если установлены соответствующие биты регистра установки/переключения RTE. Назначения битов регистров STE и RTE представлены на рис. 2.6 и 2.7. Эти регистры не имеют побитовой адресации.

При равенстве содержимых счетчика и регистра CM2 значения битов P4.6 и P4.7 инвертируются, если установлены биты TP46 и TP47 регистра RTE, иначе значения битов P4.6 и P4.7 не изменяются. Как видно из рис. 2.5, непосредственно инвертируются состояния не разрядов регистра-защелки порта P4, а двух дополнительных счетных триггеров. Эти триггеры не могут прямо инициализироваться программными средствами и при включении питания принимают неопределенное состояние. Инверсные выходы этих триггеров могут быть считаны через биты STE.6 (TG46) и STE.7 (TG47), программно доступные только для чтения.

STE (EEH)		7	6	5	4	3	2	1	0
		TG47	TG46	SP45	SP44	SP43	SP42	SP41	SP40
Бит	Символ	Назначение							
STE.7	TG47	Состояние переключающего триггера выхода порта P4.7. Доступен только для чтения							
STE.6	TG46	Состояние переключающего триггера выхода порта P4.6. Доступен только для чтения							
STE.5	SP45	Если установлен, P4.5 устанавливается при совпадении между СМ0 и счетчиком T2							
STE.4	SP44	Если установлен, P4.4 устанавливается при совпадении между СМ0 и счетчиком T2							
STE.3	SP43	Если установлен, P4.3 устанавливается при совпадении между СМ0 и счетчиком T2							
STE.2	SP42	Если установлен, P4.2 устанавливается при совпадении между СМ0 и счетчиком T2							
STE.1	SP41	Если установлен, P4.1 устанавливается при совпадении между СМ0 и счетчиком T2							
STE.0	SP40	Если установлен, P4.0 устанавливается при совпадении между СМ0 и счетчиком T2							

Рис. 2.6. Назначение битов регистра разрешения установки STE

RTE (EFH)		7	6	5	4	3	2	1	0
		TP47	TP46	RP45	RP44	RP43	RP42	RP41	RP40
Бит	Символ	Назначение							
RTE.7	TP47	Если установлен, P4.7 инвертируется при совпадении между СМ2 и счетчиком T2							
RTE.6	TP46	Если установлен, P4.6 инвертируется при совпадении между СМ2 и счетчиком T2							
RTE.5	RP45	Если установлен, P4.5 сбрасывается при совпадении между СМ1 и счетчиком T2							
RTE.4	RP44	Если установлен, P4.4 сбрасывается при совпадении между СМ1 и счетчиком T2							
RTE.3	SP43	Если установлен, P4.3 сбрасывается при совпадении между СМ1 и счетчиком T2							
RTE.2	RP42	Если установлен, P4.2 сбрасывается при совпадении между СМ1 и счетчиком T2							
RTE.1	RP41	Если установлен, P4.1 сбрасывается при совпадении между СМ1 и счетчиком T2							
RTE.0	RP40	Если установлен, P4.0 сбрасывается при совпадении между СМ1 и счетчиком T2							

Рис. 2.7. Назначение битов регистра разрешения сброса/переключения RTE

Если в текущем машинном цикле обнаружено совпадение, изменение состояния на выходе порта P4 появляется в фазе S5P1 следующего цикла. Если состояние порта P4 изменено программными средствами, то изменения на выходах появляются в фазе S1P1 следующего машинного цикла. Аппаратное изменение битов порта P4, как результат равенства содержимых счетчика и регистра уставок, имеет приоритет перед программным изменением.

2.4.3. Таймер 3

Таймер 3 (ТЗ) – "сторожевой" – предназначен для перезапуска ОМК при его сбое. Адрес ТЗ – FFH; побитовая адресация ТЗ не разрешена.

Сторожевой таймер представляет собой 8-разрядный суммирующий счетчик с параллельной загрузкой. Если на вход ОМК EW (разрешение сторожевого таймера) подан сигнал логического нуля, то ТЗ начинает счет импульсов, полученных с помощью делителя частоты генератора тактового сигнала ОМК. Частота следования этих импульсов $f_{osc}/24576$.

При переполнении ТЗ вырабатывается внутренний импульс сброса длительностью 3 машинных цикла. Если вывод RST ОМК не подключен к конденсатору автоматического сброса при включении питания, то формируется и внешний сигнал сброса.

Загрузка ТЗ производится следующим образом:

- устанавливается PCON.4 (WLE) = 1;
- загружается ТЗ (при этом WLE автоматически сбрасывается).

Если EW = 0, то блокируется режим пониженного энергопотребления (нельзя установить PCON.1 = 1). Режим холостого хода (ожидания) ОМК совместим с работой ТЗ (можно установить PCON.0=1).

2.5. Порты последовательного ввода/вывода

Микроконтроллеры семейства 8xC552 имеют два последовательных порта: SIO0 и SIO1. Порт SIO0 идентичен последовательному порту микроконтроллера 80C51, поэтому далее он не рассматривается. Порт SIO1 предназначен для последовательного ввода/вывода по шине I²C.

2.5.1. Описание шины I²C

Функциональный состав многих микропроцессорных устройств или локальных систем различного назначения достаточно однороден. Например, такие устройства (системы) могут включать один или несколько микроконтроллеров, память с произвольным доступом, память с электрическим стиранием и записью информации, контроллеры жидкокристаллических индикаторов, порты дистанционного ввода/вывода, аналого-цифровые и цифроаналоговые преобразователи. Одной из общих задач в этом случае является уп-

рошение и унификация обмена данными между элементами таких устройств (систем) – интегральными микросхемами. С этой целью фирма PHILIPS разработала двухпроводную двунаправленную шину с последовательной передачей данных, названную I²C (Inter Integrated Circuit). Физическая реализация шины отличается предельной простотой – две сигнальные линии, одна из которых (SDA) служит для передачи данных, а вторая (SCL) – для синхронизации. Пример подключения устройств к шине I²C изображен на рис. 2.8. В стандартном режиме частота синхронизации (не обязательно постоянная) ограничена сверху значением 100 кГц; 400 кГц в скоростном режиме и 3,4 МГц в высокоскоростном режиме. Длина линий связи не превышает 8 м, а емкостная нагрузка – 400 пФ.

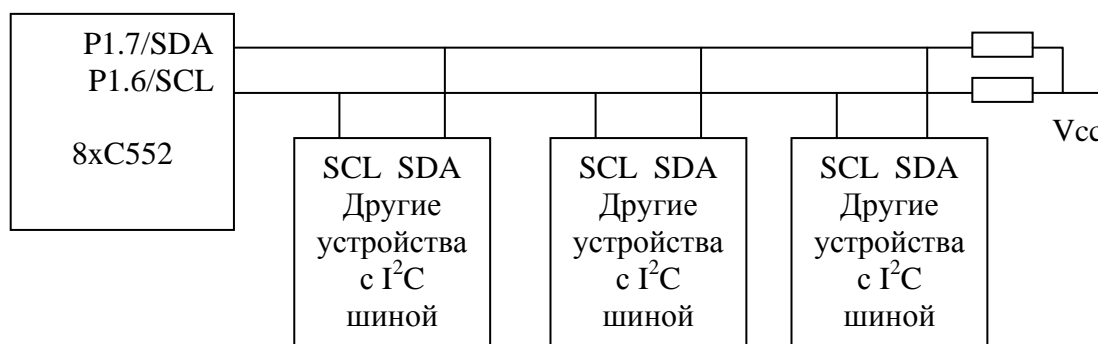


Рис. 2.8. Пример подключения устройств к шине I²C

Обычно в обмене участвуют два устройства, одно из которых ведущее (главное), другое ведомое (подчиненное). Ведущее устройство (контроллер) генерирует тактовый сигнал SCL, начинает и прекращает передачу данных, определяет ее направление, адресует подчиненное устройство.

Для шины I²C возможны два типа передачи данных:

- от ведущего передатчика к ведомому приемнику;
- от ведомого передатчика к ведущему приемнику.

На рис. 2.9 представлена временная диаграмма, поясняющая передачу данных по шине I²C. Передача данных по шине возможна, если последняя не занята: обе линии SCL и SDA находятся в состоянии логической «1». Данные по шине I²C передаются побайтно (старший бит – MSB – передается первым). В начале сеанса передачи ведущее устройство генерирует условие START – переход сигнала SDA из высокого уровня в низкий при высоком уровне SCL. Завершается передача условием STOP – переходом сигнала SDA из низкого уровня в высокий при высоком уровне SCL – или повторяющимся условием START. Вследствие такого определения условий START и STOP сигнал SDA при передаче данных может изменяться только при низком уровне SCL; биты данных стробируются положительным перепадом SCL.

При завершении передачи повторяющимся условием START шина I²C не освобождается, так как это условие также является началом новой передачи.

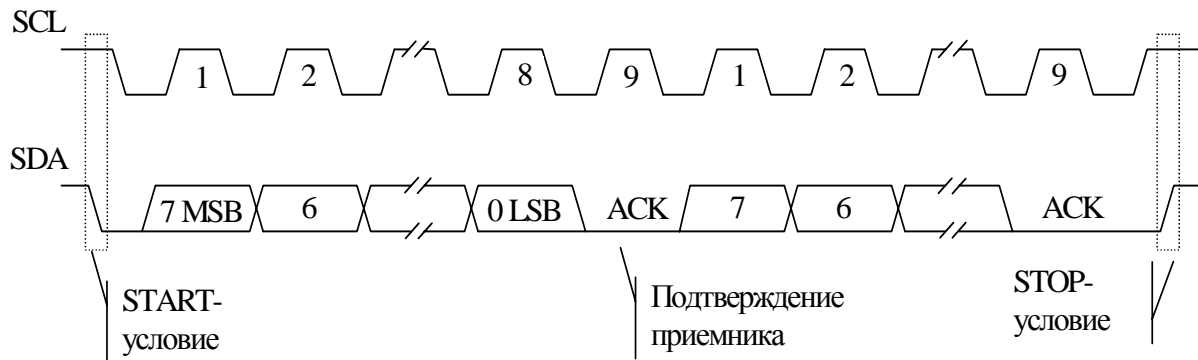


Рис. 2.9. Временная диаграмма передачи данных по шине I²C

После передачи байта передатчик освобождает на один такт линию SDA для получения подтверждения от приемника. Последний в девятом такте формирует нулевой бит подтверждения ACK. При необходимости, приемник может задержать прием очередной посылки байта после передачи ACK или замедлить передачу каждого бита, удерживая низкий уровень на линии SCL после перевода ее в это состояние передатчиком; при этом передатчик перейдет в состояние ожидания.

Если ведомый приемник не подтверждает получение байта, ведущий передатчик должен прервать передачу, генерируя условие STOP. Ведущее устройство в режиме приемника выдает подтверждение ACK для каждого принятого байта, кроме последнего, тем самым указывая ведомому передатчику о завершении приема данных. После этого передатчик освобождает линию SDA, чтобы ведущий сформировал условие STOP.

Каждое ведомое устройство имеет свой адрес, разрядность которого по умолчанию составляет 7 бит (см. рис. 2.10). Адрес передается ведущим устройством в шести старших битах первого байта, младший бит которого R/W определяет операцию чтение или запись (R/W = 1 – чтение, R/W = 0 – запись).

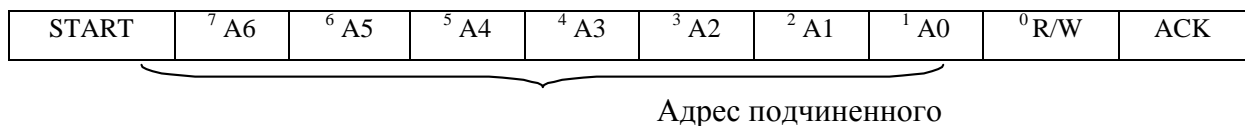


Рис. 2.10. Формат первого байта, передаваемого ведущим устройством

Все абоненты шины отслеживают выдаваемый адрес и сравнивают его с собственным. Часто адрес состоит из двух частей: старшие четыре бита (A6 ÷ A3) определяют тип устройства (например, для EEPROM – 1010), а младшие три бита – номер устройства данного типа. Две группы по восемь адре-

сов (0000XXX и 1111XXX) зарезервированы для целей, представленных в табл.2.4.

Таблица 2.4. Специальные адреса шины I²C и их назначение

Адрес подчиненного	Бит R/W	Назначение
0000 000	0	General call address – адрес общего вызова
0000 000	1	Start byte – признак начала активного обмена
0000 001	X	CBUS address – выбор устройств, удовлетворяющих передаче в формате шины CBUS
0000 010	X	Зарезервирован для устройств иных шин
0000 011	X	Зарезервирован
0000 1XX	X	Код главного устройства в высокоскоростном режиме
1111 1XX	X	Зарезервирован
1111 0XX	X	Признак 10-битовой адресации

Общий вызов позволяет одновременно передать информацию всем абонентам шины, реагирующим на адрес общего вызова. Значение (смысл) адреса общего вызова всегда специфицируется во втором передаваемом байте. Начало активного обмена предназначено для привлечения внимания процессора к опросу шины, когда интерфейс реализован программным способом. Как видно из табл. 2.4, на шине I²C возможна 10-битовая адресация. В этом случае первые пять битов первого байта – 11110 – являются признаком 10-битового адреса, биты A9 и A8 содержат старшую часть адреса, а младшие 8 бит адреса передаются в следующем байте, если R/W=0. Эта более сложная форма адресации здесь подробно не рассматривается, так как порт SIO1 из специальных адресов поддерживает только адрес общего вызова. Примеры различных сеансов передачи по шине I²C представлены на рис. 2.11, где использованы следующие обозначения: S – условие START; SLA – 7-битовый адрес подчиненного устройства; W – запись (R/W = 0); R – чтение (R/W = 1); A - подтверждение принятого байта ACK; -A – нет подтверждения ACK; Data – передаваемый байт данных; P – условие STOP.

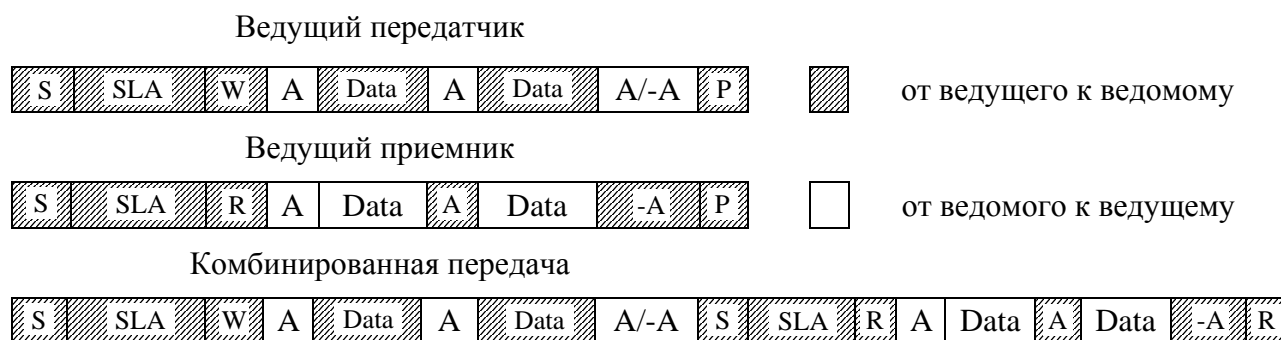


Рис. 2.11. Схемы различных сеансов передачи данных

При комбинированной передаче ведущее устройство после записи данных в ведомое устройство не освобождает шину (не генерирует условие STOP), а сразу за подтверждением генерирует повторный старт, адресует подчиненный передатчик и принимает необходимые данные.

Протокол шины I²C допускает наличие в системе несколько ведущих устройств, которые совместно разделяют общие ведомые устройства или попеременно являются то ведущими устройствами, то ведомыми. Возможна ситуация, когда два или более ведущих устройств одновременно пытаются передать данные. Поэтому необходимо предусмотреть распознавание конфликтов и арбитраж (управление доступом к общей шине). В результате система с несколькими ведущими сложнее в реализации и, следовательно, реже используется.

2.5.2. Порт SIO1

Порт SIO1 удовлетворяет спецификации I²C-шины для стандартного режима; 10-битовая адресация, скоростной и высокоскоростной режимы не поддерживаются.

Связь с шиной осуществляется через выводы микроконтроллера P1.6 (SCL) и P1.7 (SDA), выполняющие в данном случае альтернативную функцию. Чтобы разрешить эту функцию, необходимо установить биты P1.6 и P1.7 порта 1. Если входное напряжение меньше 1,5 В, его значение интерпретируется как логический «0». Если входное напряжение больше 3,0 В, его значение интерпретируется как логическая «1». Входные сигналы синхронизируются внутренними тактовыми импульсами с частотой $f_{osc}/4$, поэтому выбросы короче трех периодов тактового генератора микроконтроллера 80C552 отфильтровываются. Выходные каскады типа «открытый сток» при токе 3 мА обеспечивают падение напряжения на них не более 0,4 В. Эти каскады не имеют ограничительных диодов, подключенных к выводу источника питания. Поэтому, если микроконтроллер подключен к шине I²C и питание отключается, это не влияет на I²C-шину.

Порт SIO1 может работать в следующих четырех режимах:

- ведущего передатчика;
- ведущего приемника;
- ведомого передатчика;
- ведомого приемника.

В режиме ведомого устройства аппаратные средства SIO1 сравнивают передаваемый по I²C-шине адрес с собственным адресом и адресом общего вызова. Если обнаруживается совпадение с одним из этих адресов, вырабатывается запрос прерывания.

Перевод порта из режима ведомого устройства в режим ведущего возможен только при свободной шине. Поэтому какие-либо действия в качестве ведомого устройства будут продолжаться до освобождения шины.

Ведущий, способный выполнять функции ведомого и потерявший управление доступом к общей шине, должен сразу же переключиться в режим ведомого, поскольку захвативший управление шиной ведущий может обратиться к нему.

В режиме ведущего передатчика арбитражная логика порта SIO1 проверяет наличие на линии SDA каждой переданной логической «1» и при обнаружении несоответствия немедленно переводит SIO1 в режим ведомого приемника. Однако SIO1 будет продолжать выдавать синхроимпульсы на линии SCL до тех пор, пока не будет завершена передача текущего байта.

Управление шиной может быть потеряно и в режиме ведущего приемника. Потеря управления шиной в этом случае может произойти только во время возвращения портом SIO1 сигнала «нет подтверждения» (логическая «1») на линию SDA. Управление шиной теряется, когда другой абонент шины изменит этот сигнал на противоположный (логический «0»). Поскольку это может произойти только в конце приема байта, SIO1 не генерирует в дальнейшем тактовые импульсы.

При управлении шиной выполняется синхронизация тактовых импульсов. Если два или более ведущих устройства генерируют синхроимпульсы, то длительность импульса (высокого уровня) на линии SCL определяется устройством с самым коротким импульсом, а длительность паузы (низкого уровня) определяется устройством с самой длинной паузой. Устройство с более короткой паузой выдает высокий уровень и переходит в состояние ожидания до тех пор, пока на линии SCL не появится высокий уровень.

Ведомое устройство может расширить паузу, чтобы замедлить работу ведущего устройства. Длительность паузы может быть также увеличена с целью квитирования (подтверждения) установления связи. Порт SIO1 расширяет паузу на SCL после передачи или приема байта и передачи бита подтверждения ACK. При этом устанавливается флаг запроса прерывания последовательного порта SI, и расширение паузы продолжается до тех пор, пока флаг SI не будет сброшен.

Программное взаимодействие с портом SIO1 осуществляется через четыре специальных функциональных регистра: S1DAT – регистр данных; S1ADR – адресный регистр подчиненного устройства; S1CON – управляющий регистр порта и S1STA – регистр состояния порта. Портом SIO1 побайтовая передача реализуется аппаратно.

Регистр данных S1DAT (DAH), программно доступный для записи и чтения, служит для преобразования последовательного кода в параллельный при приеме байта и обратного преобразования при передаче байта. S1DAT и флаг ACK образуют 9-разрядный сдвиговый регистр, младший разряд которого – ACK. Последний управляется аппаратными средствами порта и программно недоступен. Сдвиг содержимого регистра всегда осуществляется справа налево («старшими разрядами вперед») по фронту синхросигнала SCL. Последовательные данные поступают на линию SDA из S1DAT через

буфер по срезу синхросигнала SCL. Кроме того, отмеченный 9-разрядный регистр охвачен обратной связью: сигнал SDA подается через буфер на вход младшего разряда – АСК. В результате S1DAT всегда содержит последний байт, действительно переданный по линии SDA. Программный доступ к регистру S1DAT можно применить, если он не находится в процессе сдвига. Это соответствует определенному состоянию SIO1 и установке флага запроса прерывания SI. Пока флаг SI установлен, данные в S1DAT остаются неизменными.

Регистр адреса S1ADR (DBH), программно доступный для записи и чтения, служит для задания адреса ведомого устройства. Содержимое этого регистра существенно только, когда SIO1 функционирует как ведомое устройство. Тогда в семь старших разрядов регистра S1ADR должен быть загружен собственный адрес ведомого устройства. Если установлен самый младший бит – дополнительно распознается адрес общего вызова, иначе этот бит игнорируется.

Управляющий регистр S1CON, программно доступный для записи и чтения, имеет побитовую адресацию. Формат этого регистра изображен на рис. 2.12.

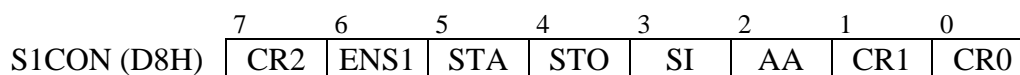


Рис. 2.12. Формат регистра S1CON

Бит ENS1 разрешает или запрещает работу SIO1. Когда ENS1 сброшен, оба выхода SDA и SCL находятся в состоянии логической «1»; при этом входные сигналы на одноименных линиях игнорируются, бит STO сбрасывается (остальные биты регистра S1CON не изменяются). В этой ситуации линии SDA (P1.7) и SCL (P1.6) могут использоваться как порты ввода/вывода с открытым стоком. Если бит ENS1 установлен, разрешена работа SIO1. Предварительно защелки портов P1.6 и P1.7 должны быть установлены в «1». Бит ENS1 не следует использовать для временного отключения SIO1 от шины I²C, поскольку сброс ENS1 приводит к потере статуса I²C-шины. Для этого должен использоваться бит AA.

Бит STA предназначен для формирования условия START. Если STA устанавливается с целью перевода SIO1 в режим ведущего, аппаратные средства SIO1 проверяют статус I²C-шины и, если шина свободна, генерируют условие START. Если шина не свободна, SIO1 ожидает условия STOP, после которого генерирует условие START. Когда SIO1 уже находится в режиме ведущего, установка бита STA вызывает передачу портом SIO1 повторного условия START. Сброс бита STA не формирует условие START или повторный START.

Бит STO служит для формирования условия STOP. Если SIO1 находится в режиме ведущего и устанавливается STO, условие передается на I²C-

шину. Аппаратные средства SIO1, обнаружив это условие на шине, сбрасывают бит STO. Когда SIO1 находится в режиме ведомого, бит STO может быть установлен для выхода из ошибочного состояния. Хотя в этом случае условие STOP не передается на I²C-шину, но воспринимается аппаратными средствами SIO1. В результате SIO1 переходит в «неадресуемый» режим ведомого устройства, а бит STO сбрасывается. В любом случае сброс бита STO не генерирует условие STOP.

Бит SI – это флаг запроса прерывания последовательного порта SIO1. Установка SI вызывает это прерывание, если оно разрешено (установлены биты EA и ES1 регистра разрешения прерываний IEN0). Бит SI устанавливается аппаратно при переходе SIO1 в одно из 25 (из 26 возможных) состояний. Единственное состояние, которое не устанавливает SI, имеет код F8H (фиксируемый в регистре S1STA), что означает отсутствие достоверной информации о состоянии SIO1. Установка флага SI приостанавливает передачу и, как было отмечено выше, приводит к расширению паузы на линии SCL. Чтобы возобновить передачу, следует сбросить SI программными средствами.

Установленный бит AA разрешает порту SIO1 формировать подтверждение ACK, когда SIO1 в режиме приемника принял байт данных или в режиме ведомого принял собственный адрес, либо адрес общего вызова. Если бит AA сброшен, SIO1 не формирует ACK. В этом случае, если другой абонент захватывает управление шиной, SIO1 не может перейти в режим ведомого, поскольку не подтвердит свой собственный адрес ведомого или адрес общего вызова. Распознавание адреса может быть возобновлено в любой момент путем установки бита AA. Поэтому сброс бита AA позволяет временно «отключить» SIO1 от I²C-шины.

Биты CR0, CR1 и CR2 определяют частоту следования тактовых импульсов SCL, когда порт SIO1 является ведущим устройством (см. табл. 2.5).

Таблица 2.5. Частота SCL в зависимости от значений битов CR0, CR1, CR2 и f_{osc}

CR2	CR1	CR0	Частота SCL (кГц) в зависимости от f_{osc}					Коэффициент деления частоты f_{osc}
			6 МГц	12 МГц	16 МГц	24 МГц	30 МГц	
0	0	0	23	47	62,5	94	117*	256
0	0	1	27	54	71	107*	134*	224
0	1	0	31	63	83,3	125*	156*	192
0	1	1	37	75	100	150*	188*	160
1	0	0	6,25	12,5	17	25	31	960
1	0	1	50	100	133*	200*	250*	120
1	1	0	100	200*	267*	400*	500*	60
1	1	1	0,24 ÷ 62,5 0 ÷ 256	0,49 ÷ 62,5 0 ÷ 254	0,65 ÷ 55,6 0 ÷ 253	0,98 ÷ 55,6 0 ÷ 251	1,22 ÷ 52,1 0 ÷ 250	96*(256 – N ^{**}) N ^{**}

Примечания: * Эти частоты не могут использоваться в стандартном режиме I²C-шины.
 ** N – код перезагрузки таймера 1 в режиме 2

Биты CR0, CR1 и CR2 не важны, когда порт SIO1 находится в режиме ведомого. В этом случае SIO1 будет автоматически синхронизироваться тактовыми импульсами ведущего устройства, частота которых не должна превышать 100 кГц.

Состояния порта SIO1 отображает специальный функциональный регистр S1STA (D9H), программно доступный **только для чтения** и не имеющий побитовой адресации. Три его младших разряда всегда нулевые, а пять старших разрядов определяют код состояния порта. Всего имеется 26 возможных кодов состояний. Переход порта в одно из допустимых состояний приводит к загрузке регистра S1STA достоверным кодом этого состояния и вызывает запрос прерывания (SI = «1»). Этот код сохраняется в S1STA до тех пор, пока не будет программно сброшен бит SI. Однако, когда S1STA содержит значение F8H, то это является признаком ошибки: нет достоверной информации о состоянии SIO1; прерывание в этом случае не вырабатывается. Подпрограмма обработки прерывания порта SIO1 продолжает или завершает передачу данных. Ее быстрое действие не критично, так как передача приостанавливается до сброса SI программными средствами. Код состояния в S1STA используется для перехода к подпрограмме, обслуживающей конкретное состояние SIO1. Требуемое программное действие для каждого кода состояния и ответная реакция порта SIO1 представлены в табл. 2.6.

В режиме ведущего передатчика SIO1 передает данные ведомому приемнику. Перед входом в этот режим регистр S1CON инициализируется так, как показано на рис. 2.13. Биты CR0 ÷ CR2 задают частоту тактовых импульсов SCL. Установка бита ENS1 разрешает функционирование порта SIO1. Биты STA, STO и SI должны быть сброшены. Если сброшен бит AA, то SIO1 не сможет перейти в режим ведомого. После этого, устанавливая бит STA, можно ввести SIO1 в режим ведущего передатчика. Порт SIO1 аппаратно контролирует состояния I²C-шины и, как только шина освободится, сформирует условие START. После передачи этого условия установится флаг прерывания SI, а в регистр S1STA будет загружен код 08H. Он используется для перехода на подпрограмму, которая загружает регистр S1DAT адресом ведомого устройства и битом направления данных (SLA + W). Затем, до продолжения последовательной передачи, бит SI должен быть сброшен.

После получения бита подтверждения вновь установится флаг запроса прерывания SI. В результате будут возможны переходы в ряд состояний. Для режима ведущего устройства – это состояния с кодами 18H, 20H и 38H. Если же режим ведомого устройства был разрешен (AA = «1»), то – это состояния с кодами 68H, 78H и B0H. Условия перехода в эти состояния, необходимые действия подпрограммы обработки прерывания и ответные действия порта SIO1, детализируются в табл. 2.6. После повторного условия START (код состояния 10H) порт SIO1 может переключиться в режим ведущего приемника путем загрузки S1DAT значения SLA + R.

Таблица 2.6. Состояния SIO1 в режиме ведущего передатчика

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания					Ответные действия последовательного порта SIO1
		S1DAT	S1CON				
			STA	STO	SI	AA	
08H	Передано условие START	Загрузка SLA+W	X	0	0	X	Передача SLA+W. Прием бита подтверждения ACK См. выше
10H	Передано повторное условие START	Загрузка SLA+W или Загрузка SLA+R	X	0	0	X	
18H	Принят ACK после передачи SLA+W	Загрузка Data	0	0	0	X	Передача Data; ожидание приема ACK
		Нет действий	1	0	0	X	Передача повторного условия START
		-	0	1	0	X	Передача условия STOP; флаг STO будет сброшен
		-	1	1	0	X	Последовательная передача условий STOP и START; флаг STO будет сброшен
20H	Не принят ACK после передачи SLA+W	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 18H					
28H	Принят ACK после передачи Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 18H					
30H	Не принят ACK после передачи Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 18H					
38H	Потерян контроль над шиной при передаче SLA+R/W или Data	Нет действий	0	0	0	X	ГС-шина будет освобождена; SIO1 перейдет в режим неадресованного ведомого Будет передано условие START, когда освободится шина
		-	1	0	0	X	

В режиме ведущего приемника порт SIO1 принимает байты данных от ведомого передатчика. Прием инициализируется также, как и режим ведущего передатчика. Условия перехода в эти состояния, связанные с ними программные действия и ответная реакция SIO1 описаны в табл. 2.7.

После передачи условия START подпрограмма обслуживания прерывания должна загрузить в регистр S1DAT адрес ведомого передатчика и единственный бит направления передачи данных (SLA + R). Когда получен бит подтверждения и выработан очередной запрос прерывания, возможны переходы в состояния с кодами: 40H, 48H, 38H для режима ведущего приемника

и 68H, 78H, B0H в случае разрешения режима ведомого (AA = «1»). После повторного условия START порт SIO1 можно переключить в режим ведущего передатчика, загружая в S1DAT значение SLA+W.

Таблица 2.7. Состояния порта SIO1 в режиме ведущего приемника

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания					Ответные действия последовательного порта SIO1
		S1DAT	S1CON				
			STA	STO	SI	AA	
08H	Передано условие START	Загрузка SLA+R	X	0	0	X	Передача SLA+R. Прием бита подтверждения
10H	Передано повторное условие START	Загрузка SLA+R или Загрузка SLA+W	X X	0 0	0 0	X X	См. выше Передача SLA+W; SIO1 переключиться в режим ведущего передатчика
38H	Потеря арбитража при приеме NOT ACK	Нет действий -	0 1	0 0	0 0	X X	Освобождение I ² C-шины. Переход SIO1 в режим ведомого устройства Передача повторного условия START после освобождения шины
40H	Принят ACK после передачи SLA+R	Нет действий -	0 0	0 0	0 0	0 1	Прием байта данных. Возвращение NOT ACK Прием байта данных. Возвращение ACK
48H	Принят NOT ACK после передачи SLA+R	Нет действий - -	1 0 1	0 1 1	0 0 0	X X X	Передача повторного условия START Передача условия STOP; флаг STO будет сброшен Последовательная передача условий STOP и START; флаг STO будет сброшен
50H	Принят ACK после передачи Data	Считывание -	0 0	0 0	0 0	0 1	Прием байта данных. Возвращение NOT ACK Прием байта данных. Возвращение ACK
58H	Принят NOT ACK после передачи Data	Считывание - -	1 0 1	0 1 1	0 0 0	X X X	Передача повторного условия START Передача условия STOP; флаг STO будет сброшен Последовательная передача условий STOP и START; флаг STO будет сброшен

В режиме ведомого приемника SIO1 принимает байты данных от ведущего передатчика. Чтобы ввести SIO1 в этот режим, необходимо соответствующим образом загрузить регистры S1ADR и S1CON. Старшие 7 бит

S1ADR определяют его адрес как ведомого устройства. Если в регистре S1ADR установить младший бит, SIO1 будет реагировать на адрес общего вызова (00H), иначе SIO1 будет игнорировать этот адрес. Содержимое регистра S1CON должно соответствовать рис. 2.14.

S1CON (D8H)	7	6	5	4	3	2	1	0
	CR2	ENS1	STA	STO	SI	AA	CR1	CR0
	X	1	0	0	0	1	X	X

Рис. 2.14. Инициализация S1CON для перевода SIO1 в режим ведомого приемника

В данном случае биты CR2÷CR0 не имеют значения. После инициализации указанных регистров SIO1 будет ожидать приема собственного адреса и бита направления передачи данных (SLA+W). Как только это событие произойдет, установится флаг запроса прерывания SI, а в регистре S1STA зафиксируется действительный код состояния. Возможные состояния SIO1 в рассматриваемом режиме, условия перехода в эти состояния, связанные с ними программные действия и ответная реакция SIO1 описаны в табл. 2.8.

Режим ведомого приемника может быть введен при потере портом SIO1 арбитража в режиме ведущего устройства (см. состояния 68H и 78H). Если во время передачи сбросить бит AA, SIO1 выдаст отрицательное квитирование (NOT ACK) после приема следующего байта. Пока бит AA сброшен, SIO1 не реагирует на свой собственный адрес или адрес общего вызова. Однако, установив бит AA, можно возобновить распознавание адреса. Это означает, что бит AA может использоваться для временного отключения SIO1 от I²C-шины.

В режиме ведомого передатчика SIO1 передает байты данных ведущему приемнику. После инициализации, которая выполняется аналогично режиму ведомого приемника, SIO1 будет ожидать получение собственного адреса и бита направления передачи данных (SLA+R). Прием SLA+R вызывает установку флага запроса прерывания SI и загрузку регистра S1STA кодом достоверного состояния. Возможные состояния SIO1 в режиме ведомого передатчика, условия перехода в эти состояния, связанные с ними программные действия и ответная реакция SIO1 описаны в табл. 2.9. Порт SIO1 может переключиться из режима ведущего устройства в режим ведомого передатчика при потере управления шиной (см. состояние B0H).

Если во время передачи сбросить бит AA, SIO1 после передачи последнего байта перейдет в состояние C0H или C8H. В результате SIO1 переключится в неадресованный режим ведомого и будет игнорировать ведущий приемник, если последний продолжает прием. Следовательно, в этом случае ведущий приемник будет получать все «1». Использование бита AA для вре-

менного отключения SIO1 от шины I²C аналогично режиму ведомого приемника.

Таблица 2.8. Состояния SIO1 в режиме ведомого приемника

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания					Ответные действия последовательного порта SIO1
		S1DAT	S1CON				
			STA	STO	SI	AA	
60H	Передан ACK после приема SLA+W	Нет действий -	X X	0 0	0 0	0 1	Прием Data и передача NOT ACK Прием Data и передача ACK
68H	Потеря арбитража в режиме главного при передаче SLA+R/W; передан ACK после приема SLA+W	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 60H					
70H	Передан ACK после приема адреса общего вызова (00H)	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 60H					
78H	Потеря контроля шины в режиме ведущего при передаче SLA+R/W; передан ACK после приема адреса общего вызова	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 60H					
80H	SIO1 предварительно адресован собственным SLA. Передан ACK после приема Data	Чтение байта данных -	X X	0 0	0 0	0 1	Прием Data и передача NOT ACK Прием Data и передача ACK
90H	SIO1 предварительно адресован общим вызовом. Передан ACK после приема Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 80H					

Окончание табл. 2.8

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания					Ответные действия последовательного порта SIO1
		S1DAT	S1CON				
			STA	STO	SI	AA	
88H	SIO1 предварительно адресован собственным SLA. Передан NOT ACK после приема Data	Чтение байта данных	0	0	0	0	Переключение в неадресованный режим ведомого; не распознается собственный SLA или адрес общего вызова
		-	0	0	0	1	Переключение в неадресованный режим ведомого; собственный SLA распознается; адрес общего вызова будет распознаваться при S1ADR.0 = «1»
		-	1	0	0	0	Переключение в неадресованный режим ведомого; не распознается собственный SLA или адрес общего вызова; после освобождения шины будет передано условие START
		-	1	0	0	1	Переключение в неадресованный режим ведомого; собственный SLA распознается; адрес общего вызова будет распознаваться при S1ADR.0 = «1»; после освобождения шины будет передано условие START
98H	SIO1 предварительно адресован общим вызовом. Передан NOT ACK после приема Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию 88H					
A0H	В режиме ведомого принято условие STOP или повторное условие START	Нет действий	0	0	0	0	Ответные действия SIO1 соответствуют состоянию 88H
		-	0	0	0	1	Ответные действия SIO1 соответствуют состоянию 88H
		-	1	0	0	0	Ответные действия SIO1 соответствуют состоянию 88H
		-	1	0	0	1	Ответные действия SIO1 соответствуют состоянию 88H

Таблица 2.9. Состояния SIO1 в режиме ведомого передатчика

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания					Ответные действия последовательного порта SIO1
		S1DAT	S1CON				
			STA	STO	SI	AA	
A8H	Передан ACK после приема SLA+R	Загрузка Data -	X X	0 0	0 0	0 1	Передача последнего байта; прием ACK Передача Data; прием ACK
B0H	Потеря контроля шины в режиме ведущего при передаче SLA+R/W; передан ACK после приема SLA+R	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию A8H					
B8H	Принят ACK после передачи Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию A8H					
C0H	Принят NOT ACK после передачи Data	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию A0H					
C8H	Принят ACK после передачи последнего байта данных (AA = 0)	Действия подпрограммы обработки прерывания с регистрами и ответные действия последовательного порта SIO1 соответствуют состоянию C0H					

2.5.3. Особые состояния и обработка специальных случаев

В регистр S1STA могут загружаться два кода, которые не соответствуют определенным состояниям аппаратных средств SIO1. Это коды F8H и 00H. Код F8H показывает, что отсутствует имеющая смысл информация о состоянии аппаратных средств SIO1, поскольку еще не установлен флаг запроса прерывания SI. Такая ситуация возникает между определенными состояниями и при неучастии SIO1 в последовательной передаче.

Код 00H указывает, что зафиксирована ошибка шины во время передачи. Ошибка шины – генерирование условия START или STOP в недопустимой позиции формата кадра. Примерами таких недопустимых позиций являются передача байта адреса и данных или бита подтверждения. Кроме того, эта ошибка может быть вызвана искажением сигналов SIO1 внешней помехой. В табл. 2.10 приведена характеристика особых состояний и реакция последовательного порта на них.

Таблица 2.10. Особые состояния

Код состояния в S1STA	Условие перехода в состояние	Действия с регистрами подпрограммы обработки прерывания				Ответные действия последовательного порта SIO1	
		SIDAT	S1CON				
			STA	STO	SI		AA
F8H	Отсутствует информация о состоянии аппаратных средств SIO1; SI = 0	Нет действий	Нет действий				Ожидание или продолжение текущей передачи
00H	Ошибка шины	Нет действий	0	1	0	X	Переключение в неадресованный режим ведомого, освобождение шины и сброс флага STO

Аппаратная реализация SIO1 позволяет обрабатывать некоторые специальные случаи, которые могут произойти во время последовательной передачи. Эти случаи описаны ниже.

Одновременные повторяющиеся условия START от двух ведущих устройств. Повторяющееся условие START может генерироваться в режиме ведущего передатчика или приемника. Специальный случай – другое ведущее устройство одновременно генерирует повторяющееся условие START. Пока это происходит, ни одно ведущее устройство не теряет управление шиной, поскольку они оба передают одно и то же. Если SIO1 обнаруживает на I²C-шине повторяющееся условие START до выдачи им самим этого условия, то SIO1 освободит шину; при этом не будет генерироваться запрос прерывания. Если другое ведущее устройство освобождает шину, генерируя условие STOP, то SIO1 передаст нормальное условие START (состояние 08H). В результате можно повторно начать полную передачу последовательных данных.

Передача данных после потери управления шиной. Потеря управления шиной возможна в режимах ведущего передатчика и приемника. Потере управления шиной соответствуют следующие состояния: 38H, 68H, 78H и B0H. Если флаг STA в регистре S1CON установлен подпрограммами, обслуживающими эти состояния, тогда при освобождении шины условие START (состояние 08H) передается без участия центрального процессора микроконтроллера 80C552. В результате можно снова начать полную передачу последовательных данных.

Принудительный доступ к I²C-шине. В некоторых применениях неконтролируемый источник может вызвать зависание шины. Причиной этого может быть помеха, временный разрыв шины или временное замыкание линий SDA и SCL. Если неконтролируемый источник генерирует ненужное условие START или маскирует STOP-условие, тогда возможен принудительный доступ к I²C-шине. Последний достигается установкой флага STO (флаг

STA еще установлен), но при этом STOP-условие на шину не передается. Однако, аппаратурные средства SIO1 воспринимают это как получение STOP-условия и поэтому способны передать START-условие; флаг STO сбрасывается аппаратурно.

Блокирование I²C-шины низким уровнем на линии SCL или SDA. При удержании неконтролируемым источником линии SCL или SDA в состоянии логического «0» происходит "зависание" I²C-шины. Если заблокирована линия SCL, то дальнейшая передача невозможна. Разблокировать шину может только устройство, удерживающее линию SCL в состоянии логического «0». Если линия SDA заблокирована другим абонентом I²C-шины, проблема может быть решена передачей дополнительных тактовых импульсов по линии SCL. Аппаратурные средства SIO1 передают дополнительные тактовые импульсы, когда флаг STA установлен и шина считается свободной, но условие START не может генерироваться из-за удержания низкого уровня на линии SDA. Аппаратурные средства SIO1 пытаются генерировать условие START после каждых двух дополнительных тактовых импульсов на линии SCL. Когда наконец линия SDA освободится, SIO1 передаст условие START, перейдет в состояние 08H, и последовательная передача продолжится. Если во время блокирования линии SDA происходит принудительный доступ к I²C-шине или передается повторное условие START, аппаратные средства SIO1 выполняют те же действия, что описаны выше. В любом случае переход SIO1 в состояние 08H происходит только после успешной передачи условия START и продолжения нормальной последовательной передачи данных. Отметим, что центральный процессор микроконтроллера 80C552 не участвует в решении проблем зависания шины.

Ошибка шины. Аппаратные средства SIO1 реагируют на ошибку шины, когда SIO1 участвует в последовательной передаче как ведущее или адресованное ведомое устройство. При обнаружении ошибки шины устанавливается флаг запроса прерывания SI, а в регистр состояния S1STA загружается код 00H. Этот код используется в подпрограмме обслуживания прерывания, которая должна или повторить прерванную последовательную передачу, или осуществить возврат из ошибочного условия, как показано в табл. 2.10. Чтобы выйти из состояния «ошибка шины», необходимо установить флаг STO, а флаг SI сбросить. Это заставит SIO1 перейти в неадресованный режим ведомого устройства, сбросить флаг STO (другие биты в S1CON не изменяются) и освободить линии SDA и SCL; при этом условие STOP не передается.

2.6. Аналого-цифровой преобразователь

Восьмиканальный АЦП состоит из коммутатора аналоговых сигналов, подаваемых на входы порта 5, и 10-разрядного АЦП последовательных приближений без внутреннего источника опорного напряжения.

2.6.1. Основные параметры АЦП

- Напряжение питания аналоговой части $AV_{DD} = V_{DD} \pm 0,2$ В, где V_{DD} – напряжение питания цифровой части.
- Ток потребления от источника AV_{DD} – не более 1,0/1,2 мА (при частоте кварцевого резонатора 16/24 МГц).
- Диапазон входных напряжений AV_{IN} – от $AV_{SS} - 0,2$ В до $AV_{DD} + 0,2$ В, где AV_{SS} – потенциал низкого уровня источника AV_{DD} .
- Потенциал высокого уровня источника опорного напряжения AV_{REF+} – не более $AV_{DD} + 0,2$ В.
- Потенциал низкого уровня источника опорного напряжения AV_{REF-} – не менее $AV_{SS} - 0,2$ В.
- Выходной код $N = 1024(AV_{IN} - AV_{REF-}) / (AV_{REF+} - AV_{REF-})$.
- Сопротивление входа для подключения источника опорного напряжения R_{REF} – от 10 до 50 кОм.
- Емкость аналогового входа C_{IA} – не более 15 пФ.
- Время выборки входного сигнала t_{ADS} – 8 машинных циклов.
- Рекомендуемое выходное сопротивление источника входного аналогового сигнала – не более 0,9 кОм.
- Максимальная скорость изменения входного сигнала $V_{U,max}$ – 10 В/мс.
- Время преобразования (включая время выборки) t_{ADC} – 50 машинных циклов.
- Погрешность дифференциальной линейности – не более ± 1 единицы младшего разряда (е.м.р.).
- Погрешность интегральной линейности – не более ± 2 е.м.р.
- Смещение нулевого уровня (аддитивная погрешность) – не более ± 2 е.м.р.
- Мультипликативная погрешность – не более $\pm 0,4$ %.
- Максимальное значение суммы аддитивной и мультипликативной погрешностей – не более ± 3 е.м.р.
- Погрешность от взаимовлияния каналов – не более ± 3 е.м.р.

Примечание. Все параметры указаны для рабочих условий эксплуатации ОМК.

2.6.2. Управление работой АЦП

Для управления работой АЦП предусмотрено два восьмиразрядных РСФ.

РСФ **ADCH** (адрес – С6Н, побитовая адресация не разрешена) содержит 8 старших разрядов результата аналого-цифрового преобразования (ADC9...ADC2).

РСФ **ADCON** (адрес – C5H, побитовая адресация не разрешена):

ADCON.7 (ADC.1) – 1-й бит результата аналого-цифрового преобразования;

ADCON.6 (ADC.0) – 0-й бит результата аналого-цифрового преобразования;

ADCON.5 (ADEX) – логическая 1 дает разрешение аппаратурного запуска АЦП;

ADCON.4 (ADCI) – флаг прерывания АЦП (устанавливается аппаратурно, сбрасывается программно);

ADCON.3 (ADCS) – флаг состояния АЦП (логическая 1 - идет преобразование; может быть установлен программно, сбрасывается всегда аппаратурно);

ADCON.2 (AADR2) – 2-й бит кода номера выбранного входа порта 5;

ADCON.1 (AADR1) – 1-й бит кода номера выбранного входа порта 5;

ADCON.0 (AADR0) – 0-й бит кода номера выбранного входа порта 5.

Запуск аналого-цифрового преобразователя может осуществляться как программным, так и аппаратурным способом.

Программный запуск (состояние бита ADEX – любое). Преобразование начинается в начале машинного цикла, следующего за командой установки бита ADCS.

Аппаратурный запуск (состояние бита ADEX – логическая 1). Преобразование начинается в начале машинного цикла, следующего за машинным циклом, во время которого происходит перепад из "0" в "1" на входе STADC. Длительности импульса и паузы запускающего сигнала ограничены снизу длительностью одного машинного цикла.

По завершении преобразования (при любом виде запуска) бит ADCS автоматически сбрасывается аппаратурными средствами ОМК; при этом устанавливается бит ADCI – вырабатывается запрос прерывания. Адрес вектора прерывания АЦП – 53H. До окончания начавшегося преобразования и программного сброса бита ADCI новый запуск АЦП блокируется.

Предварительно необходимо инициализировать прерывание, связанное с АЦП:

- разрешить прерывание – установить бит IEN0.6 (EAD, адрес - AEH) РСФ IEN0 (адрес - A8H, побитовая адресация разрешена);
- задать уровень приоритета прерывания битом IP0.6 (PAD, адрес - BEH) РСФ IP0 (адрес - B8H, побитовая адресация разрешена).

При одновременном поступлении запроса прерывания от АЦП и какого-либо другого запроса прерывания во всех случаях, кроме внешнего прерывания INT0 и прерывания последовательного порта SIO1, первым будет обработано прерывание АЦП.

2.7. Выходы сигналов с широтно-импульсной модуляцией

ОМК 80С552 имеет два вывода (с обозначениями $\overline{PWM0}$ и $\overline{PWM1}$), являющихся выходными линиями двух каналов широтно-модулируемых импульсных сигналов. Для каждого канала могут программно задаваться длительность импульсного выходного сигнала прямоугольной формы. Структурная схема двухканального узла с широтно-импульсной модуляцией (ШИМ) показана на рис. 2.15.

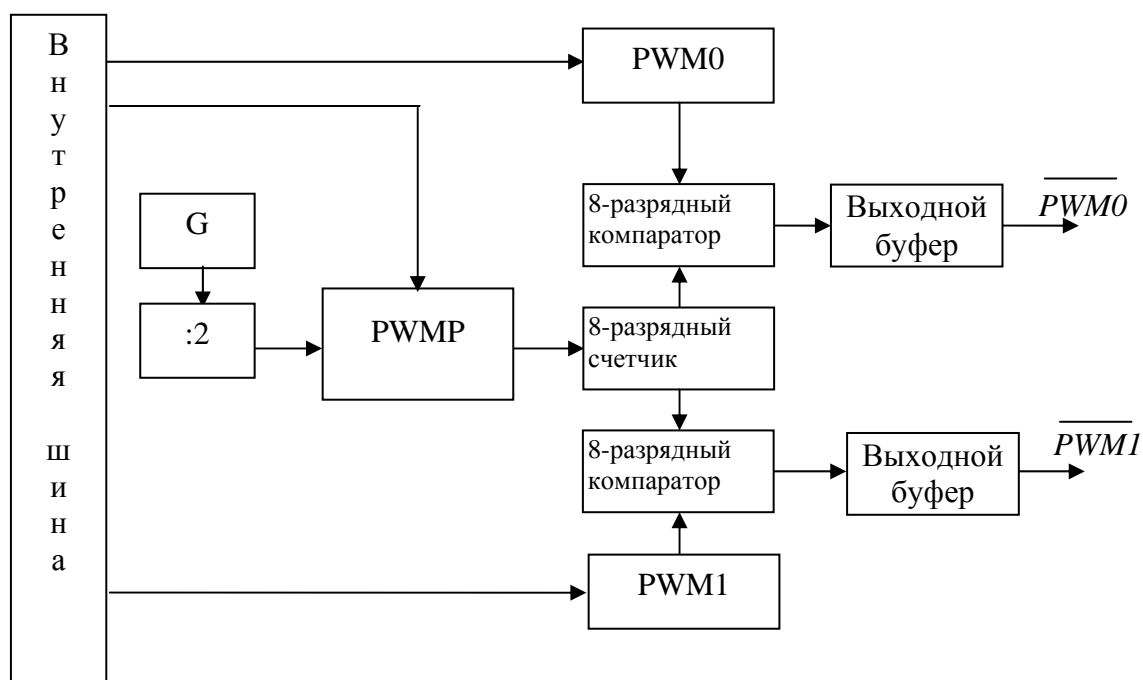


Рис. 2.15. Функциональная схема ШИМ

Частота выходных импульсных сигналов обоих выводов одинакова и задается внутренним генератором G синхросигналов частоты f_{osc} , делителем этой частоты на 2 и программно управляемым пересчетным устройством PWMP, который выдает тактовые импульсы на счетчик. Программно управляемое пересчетное устройство и счетчик являются общими для обоих каналов. Счетчик имеет коэффициент пересчета 255 и, следовательно, может иметь состояния от 0 до 254. Содержимое счетчика с помощью восьмибитовых цифровых компараторов сравнивается с содержимым двух регистров: PWM0 и PWM1. Если код регистра отражает число большее, чем число, соответствующее коду счетчика, то на выходе цифрового компаратора устанавливается уровень напряжения логического нуля ТТЛ. Если же число, код которого зафиксирован регистром, равно или меньше числа, соответствующего коду счетчика, то на выходе цифрового компаратора устанавливается уровень напряжения логической единицы ТТЛ.

Выходы компараторов через буферные каскады подсоединены к выводам ОМК $PWM0$ и $PWM1$. Очевидно, что коэффициент широтно-импульсной модуляции определяется кодом, записанным в регистры $PWM0$ и $PWM1$, и может программно изменяться в пределах от 0 до 1 с дискретностью $1/255$.

Выходы $PWM0$ и $PWM1$ ОМК могут быть непосредственно использованы во всех случаях, где требуется ШИМ сигналы, например, для управления двигателями постоянного тока. В средствах измерений эти выходы ОМК позволяют построить сдвоенный ЦАП. В простейшем варианте, когда требуется ЦАП с невысокими метрологическими характеристиками, к выходам $PWM0$ и $PWM1$ должны быть подсоединены фильтры низких частот. При высоких требованиях к метрологическим характеристикам ЦАП ШИМ сигналы с выходов $PWM0$ и $PWM1$ должны управлять работой внешних (по отношению к ОМК) высокоточных аналоговых ключей, коммутирующих источники опорных напряжений.

Частота повторения ШИМ сигналов на выходах ОМК определяется выражением

$$f_{OUT} = f_{osc} / (2(1 + N_{PWMP})255),$$

где N_{PWMP} – десятичное число, код которого заносится в программно управляемое пересчетное устройство.

При 8-разрядном программно управляемом пересчетном устройстве это даёт при $f_{osc} = 16$ МГц диапазон частот от 122,5 Гц до 31,4 кГц.

Загружая программно управляемое пересчетное устройство кодами 00H и FFH, можно задать на выходах ШИМ сигналов ОМК соответственно постоянный высокий уровень напряжения – уровень логической единицы ТТЛ – и постоянный низкий уровень – уровень логического нуля ТТЛ. Возможность задания низкого уровня создана тем, что значение коэффициента пересчёта 8-разрядного счётчика, выбрано равным 255: при таком значении коэффициента максимальное число, отражаемое кодом счётчика, не может достигнуть числа, соответствующего коду FFH в регистрах $PWM0$ и $PWM1$.

Адрес программно управляемого пересчетного устройства для записи или чтения байта - кода коэффициента деления – FEN.

Адреса регистров для записи/чтения кодов, соответствующих выбранным коэффициентам широтно-импульсной модуляции: $PWM0$ – FCH и $PWM1$ – FDH.

Отношение длительности генерируемого импульса t_H к паузе t_{II} для любого из каналов может быть определено по формуле

$$t_H/t_{II} = n_{PWM} / (255 - n_{PWM}),$$

где n_{PWM} – десятичное число, код которого записан в интересующий пользователя канал.

2.8. Система прерываний

Микроконтроллер 80C552 имеет 15 источников прерываний с двумя уровнями приоритета. На рис. 2.16 представлены все источники прерываний и соответствующие им вектора (адреса подпрограмм обработки прерываний), флаги запросов прерываний и управляющие флаги. Порядок расположения источников прерываний на рис. 2.16 соответствует приоритетам прерываний внутри данного уровня; источники внешних прерываний заключены в двойную рамку. Пять источников прерываний: внешние прерывания INT0 и INT1, прерывание при переполнении таймеров T0 и T1, прерывание последовательного порта SIO0 – общие с микроконтроллером 80C51. Отличия связаны только с РСФ, задающими приоритет этих прерываний, и со структурой приоритетов внутри одного уровня. Ниже рассматриваются прерывания, характерные для 80C552.

С таймером T2 ассоциируются 8 прерываний, которые генерируются непосредственно флагами CTI0 ÷ CTI3 и CMI0 ÷ CMI2. Под действием внешних сигналов CT0I ÷ CT3I текущее значение 16-разрядного счетчика копируется в соответствующие регистры захвата CT0 ÷ CT3 и устанавливаются флаги запроса прерывания CTI0 ÷ CTI3. Флаги CMI0 ÷ CMI2 устанавливаются при совпадении значений 16-разрядного счетчика и регистров уставок CM0 ÷ CM2. Флаги 8-разрядного (T2B0) и 16-разрядного (T2OV) переполнений таймера 2 объединены по схеме «ИЛИ», генерируя один общий запрос прерывания.

Прерывание последовательного порта SIO1 (I²C) генерируется установкой флага SI в управляющем регистре S1CON. Этот флаг устанавливается в процессе функционирования порта, когда регистр S1STA загружается допустимым кодом состояния SIO1.

Флаг запроса прерывания ADCI устанавливается, когда АЦП завершает преобразование и, следовательно, готов к считыванию результата.

Все рассмотренные флаги запросов прерываний не сбрасываются аппаратными средствами. Поэтому при обработке прерываний они должны сбрасываться программно, чтобы исключить непрерывно повторяющиеся прерывания. Эти флаги, за исключением ADCI, могут быть установлены программно, причем эффект будет таким же, как и при установке флагов аппаратными средствами. Другими словами, программно можно генерировать прерывания и отменять отложенные прерывания.

Каждый запрос прерывания может быть индивидуально разрешен или запрещен установкой или сбросом соответствующего бита в регистрах IEN0 и IEN1, имеющих побитовую адресацию. Регистр IEN0 также содержит бит глобального запрета EA, сброс которого запрещает сразу все прерывания. Назначение битов указанных регистров представлено на рис. 2.17 и 2.18.

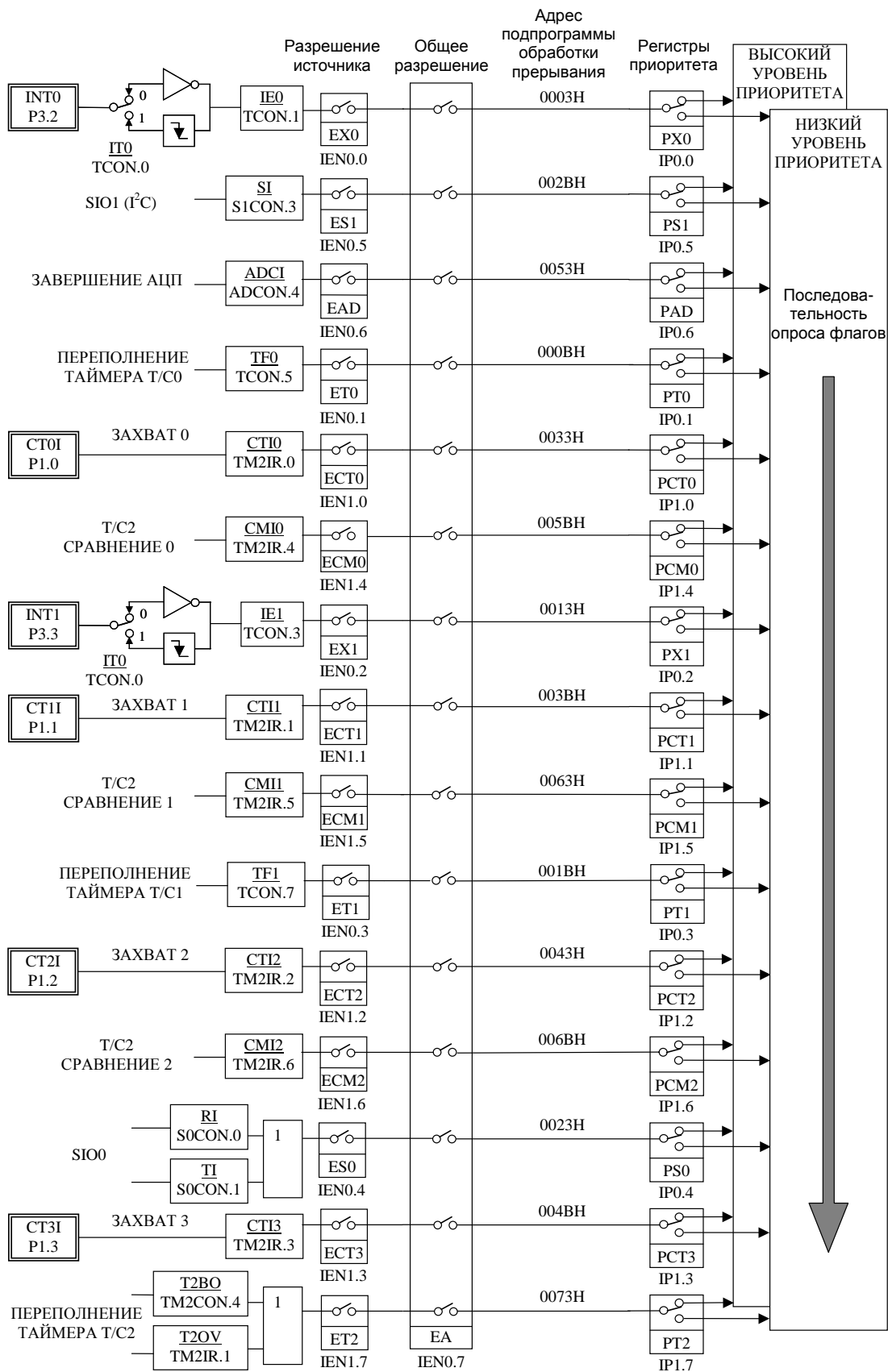


Рис. 2.16. Схема системы прерываний

		7	6	5	4	3	2	1	0
IEN0	(A8H)	EA	EAD	ES1	ES0	ET1	EX1	ET0	EX0
Бит	Символ	Назначение							
IEN0.7	EA	Глобальное разрешение/запрет прерываний: <ul style="list-style-type: none"> EA = «1» – воспринимаются индивидуально разрешенные прерывания; EA = «0» – запрещены все прерывания 							
IEN0.6	EAD	Разрешение прерывания АЦП							
IEN0.5	ES1	Разрешение прерывания последовательного порта SIO1 (I ² C)							
IEN0.4	ES0	Разрешение прерывания последовательного порта SIO0							
IEN0.3	ET1	Разрешение прерывания таймера T/C1							
IEN0.2	EX1	Разрешение внешнего прерывания INT1							
IEN0.1	ET0	Разрешение прерывания таймера T/C0							
IEN0.0	EX0	Разрешение внешнего прерывания INT0							

Рис. 2.17. Назначение битов регистра разрешения прерываний IEN0

		7	6	5	4	3	2	1	0
IEN1	(E8H)	ET2	ECM2	ECM1	ECM0	ECT3	ECT2	ECT1	ECT0
Бит	Символ	Назначение							
IEN1.7	ET2	Разрешение прерываний при переполнениях таймера T/C2							
IEN1.6	ECM2	Разрешение прерывания при совпадении содержимых T/C2 и регистра уставок CM2							
IEN1.5	ECM1	Разрешение прерывания при совпадении содержимых T/C2 и регистра уставок CM1							
IEN1.4	ECM0	Разрешение прерывания при совпадении содержимых T/C2 и регистра уставок CM0							
IEN1.3	ECT3	Разрешение прерывания регистра захвата CT3							
IEN1.2	ECT2	Разрешение прерывания регистра захвата CT2							
IEN1.1	ECT1	Разрешение прерывания регистра захвата CT1							
IEN1.0	ECT0	Разрешение прерывания регистра захвата CT0							

Рис. 2.18. Назначение битов регистра разрешения прерываний IEN1

Каждому источнику прерывания индивидуально может быть назначен один из двух уровней приоритета. Уровни приоритета прерываний определяются регистрами специальных функций с побитовой адресацией IP0 и IP1, назначение разрядов которых описывается на рис. 2.19 и 2.20. Нулевое значение бита – это низкий приоритет, а единичное значение – высокий приоритет соответствующего прерывания. Стартовавшее низкоуровневое прерывание может быть прервано только высокоуровневым прерыванием, но не другим низкоуровневым. Стартовавшее высокоуровневое прерывание не может быть прервано никаким другим источником прерывания. Если одновременно поступают два запроса прерываний с разным приоритетом, обслуживаться будет запрос прерывания более высокого уровня. Когда одновременно поступают запросы с одинаковым приоритетом, то внутренняя последовательность опроса определяет обслуживаемый запрос. Следовательно, внутри каждого уровня приоритета имеется вторая структура приоритета, определяемая последовательностью опроса. Последняя отображена на рис. 2.16 соответствующим порядком расположения источников прерываний. Структура приоритета внутри уровня используется только при одновременном поступлении запросов прерываний с одинаковым уровнем приоритета.

IP0	(B8H)	7	6	5	4	3	2	1	0
		-	PAD	PS1	PS0	PT1	PX1	PT0	PX0
Бит	Символ	Назначение							
IP0.7	-	Не используется							
IP0.6	PAD	Уровень приоритета прерывания АЦП							
IP0.5	PS1	Уровень приоритета прерывания последовательного порта SIO1 (I ² C)							
IP0.4	PS0	Уровень приоритета прерывания последовательного порта SIO0							
IP0.3	PT1	Уровень приоритета прерывания таймера T/C1							
IP0.2	PX1	Уровень приоритета внешнего прерывания INT1							
IP0.1	PT0	Уровень приоритета прерывания таймера T/C0							
IP0.0	PX0	Уровень приоритета внешнего прерывания INT0							

Рис. 2.19. Назначение битов регистра приоритета прерываний IP0

		7	6	5	4	3	2	1	0
IP1	(F8H)	PT2	PCM2	PCM1	PCM0	PCT3	PCT2	PCT1	PCT0
Бит	Символ	Назначение							
IP1.7	PT2	Уровень приоритета прерывания при переполнениях таймера T/C2							
IP1.6	PCM2	Уровень приоритета прерывания при совпадении содержимых T/C2 и регистра уставок CM2							
IP1.5	PCM1	Уровень приоритета прерывания при совпадении содержимых T/C2 и регистра уставок CM1							
IP1.4	PCM0	Уровень приоритета прерывания при совпадении содержимых T/C2 и регистра уставок CM0							
IP1.3	PCT3	Уровень приоритета прерывания регистра захвата CT3							
IP1.2	PCT2	Уровень приоритета прерывания регистра захвата CT2							
IP1.1	PCT1	Уровень приоритета прерывания регистра захвата CT1							
IP1.0	PCT0	Уровень приоритета прерывания регистра захвата CT0							

Рис. 2.20. Назначение битов регистра приоритета прерываний IP1

Флаги запросов прерываний опрашиваются в фазе S5P2 каждого машинного цикла. Результаты опроса проверяются в следующем машинном цикле. Система прерываний, обнаружив при очередном опросе какой-либо установленный флаг прерывания, **аппаратурно** формирует выполнение команды LCALL для вызова соответствующей подпрограммы обработки прерывания. Выполнение блокируется (задерживается) одним из следующих условий:

- стартовало прерывание равного или более высокого уровня приоритета;
- текущий машинный цикл не является последним циклом выполняемой команды;
- текущая команда – это RETI или любая команда доступа к регистрам IP0, IP1, IE0 и IE1.

Второе условие гарантирует, что никакой запрос прерывания не будет обслуживаться, пока не завершится выполнение текущей команды. Последнее условие обеспечивает выполнение после окончания одной из вышеуказанных команд, по крайней мере, еще одной команды перед вызовом подпрограммы обработки прерывания. Отметим, что флаг прерывания, установленный во время блокировки LCALL и сброшенный до ее снятия, не вызовет прерывания.

При выполнении команды LCALL содержимое программного счетчика сохраняется в стеке, а затем в программный счетчик загружается адрес подпрограммы обработки прерывания, зависящий от источника прерывания (см. рис. 2.16). Подпрограмма обслуживания прерывания обязательно должна за-

вершаться командой RETI. Эта команда извлекает из вершины стека два байта и загружает их в программный счетчик – выполнение программы продолжается с места, где она была прервана. Кроме того, RETI снимает запрет на прерывания с уровнем приоритета, равным уровню приоритета обслуживаемого прерывания. Этот запрет устанавливается при переходе по вектору на подпрограмму обслуживания прерывания.

2.9. Синхронизация, сброс, режим пониженного потребления

Формирование управляющих сигналов и синхронизация работы всех узлов ОМК 80С552 осуществляется внутренним устройством управления. Последнее по своему составу и функциям повторяет устройство управления ОМК 80С51. Все управляющие и синхронизирующие сигналы тактируются выходным импульсным сигналом BQ тактового генератора, входящего в состав устройства управления. Частота возбуждения тактового генератора определяется внешним частото задающим элементом, в качестве которого, как правило, используется кварцевый резонатор. Схема подключения кварцевого резонатора к ОМК 80С552 отличается от аналогичной для 80С51 лишь нумерацией выводов подключения (35 и 34 — соответственно вход и выход инвертирующего усилителя — для 80С552) и значениями емкости конденсаторов C_1 и C_2 , подключаемых между каждым выводом и шиной нулевого потенциала. Для ОМК 80С552 $C_1 = C_2 = 22 \text{ пФ} \pm 30 \%$. Период тактового сигнала $T_{BQ} = 1/f_{osc}$ определяет продолжительность фаз (T_{osc}) и состояний ($2T_{osc}$) машинного цикла ($24T_{osc}$) ОМК. Как и для 80С51, возможно применение внешнего источника тактирующих сигналов, подключаемого к выводу 35.

Схема сброса 80С552, входящая в состав устройства управления, в отличие от 80С51, рассчитана на воздействие двух разновидностей сигналов сброса: внешнего и внутреннего. Для подачи сигнала внешнего сброса в ОМК 80С552 предусмотрен вывод RST; при внутреннем сбросе на этом выводе формируется положительный импульс напряжения, который может быть использован для сброса периферийных устройств ОМК.

Внешний сигнал сброса 80С552 будет воспринят, если он, в виде напряжения высокого уровня при работающем тактовом генераторе ОМК, держится на выводе RST в течение интервала времени длительностью не менее двух машинных циклов ($24T_{osc}$). Для уменьшения воздействия помех в качестве входного каскада схемы сброса применён триггер Шмитта. Выход триггера Шмитта опрашивается схемой сброса в каждом машинном цикле. Вызванный внешним сигналом сброс ОМК 80С552 устанавливает регистры специальных функций, идентичные РСФ 80С51, в те же состояния, что и в прототипе. Добавленные в ОМК 80С552 регистры принимают состояния, отражённые в табл. 2.2.

Внутренний сброс ОМК 80С552 инициируется “сторожевым” таймером: при переполнении 8-разрядного таймерного регистра ТЗ на выходе последнего возникает отрицательный импульс, который воздействует на схему сброса, как это показано на рис. 2.21.

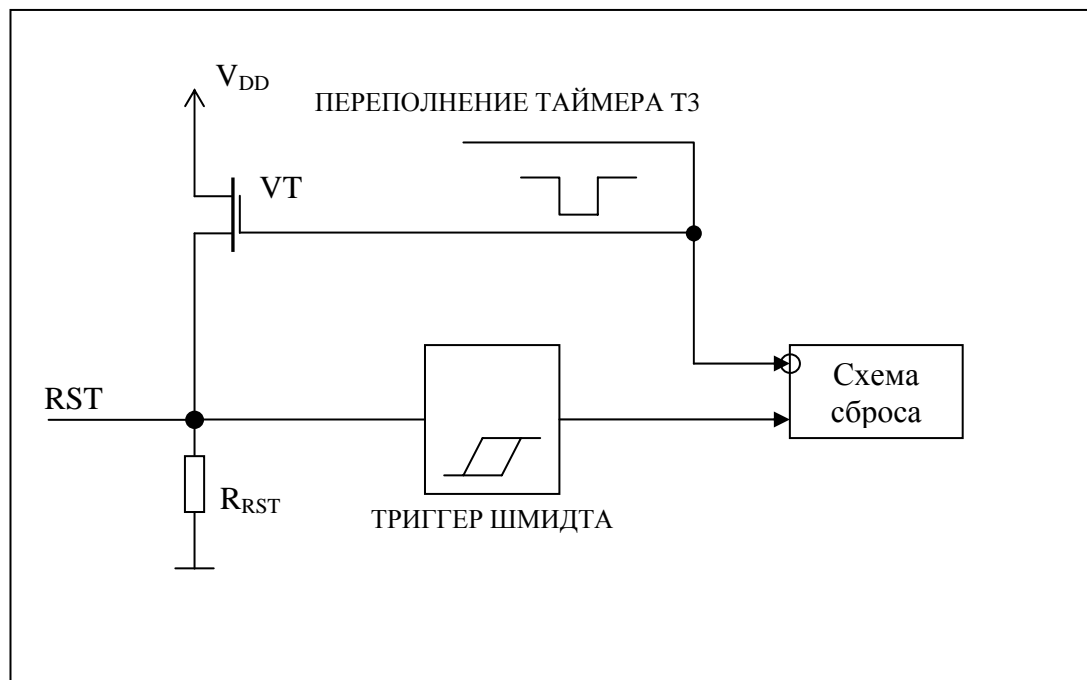


Рис. 2.21. Организация внутреннего сброса

На инвертирующий вход схемы сброса импульс переполнения таймера ТЗ воздействует непосредственно, обеспечивая сброс собственно ОМК. Кроме того, этот импульс замыкает ключ на транзисторе VT, в результате чего вывод RST оказывается подсоединенным к шине источника питания ОМК. Таким способом при внутреннем сбросе на выводе RST создается положительный импульс, который может быть использован для начальной установки периферийных устройств. Длительность выходного импульса таймера ТЗ, а следовательно и выходного импульса на выводе RST, равна трем машинным циклам. Переполнение ТЗ вызывает внутренний сброс ОМК, независимо от того, какой уровень напряжений на выводе RST. По времени сброс ОМК выполняется в течение второго машинного цикла, в котором уровень напряжения на выводе RST поддерживается высоким, и повторяется далее в каждом последующем цикле до тех пор, пока на выводе RST не будет установлен низкий уровень напряжения.

Простейшая схема организации сброса ОМК 80С552 при включении питания аналогична схеме для 80С51: вход RST через конденсатор емкостью $C = 2,2$ мкФ подсоединяется к шине питающего напряжения. Заряд этого конденсатора через резистор внутренней нагрузки R_{RST} вывода RST с типовым сопротивлением 100 кОм обеспечивает надежный сброс ОМК при включении питающего напряжения. Заметим, что при использовании про-

стейшей схемы сброса оказывается невозможным сформировать на выводе RST сигнал начальной установки периферийных устройств при срабатывании “сторожевого” таймера: вывод RST зашунтирован конденсатором большой емкости. При необходимости формирования на выводе RST импульса сброса внешних УВВ организация сброса ОМК при подаче питания должна быть выполнена по схеме, исключающей емкостное шунтирование вывода RST.

Также отметим, что сброс ОМК не влияет на содержание внутреннего ОЗУ; при включении питания содержимое ОЗУ является неопределенным.

По аналогии с ОМК 80C51 в микроконтроллер 80C552 заложена возможность управления потреблением от источника питания. Как и в 80C51, в рассматриваемом ОМК предусмотрены два режима уменьшенного энергопотребления: режим холостого хода (IDL) и режим микропотребления (PD). По алгоритму задания, поведению центрального процессорного элемента и состоянию внутренних регистров, включая ОЗУ, указанные режимы не имеют радикальных отличий от соответствующих режимов 80C51. Оба режима задаются установкой младших битов управляющего регистра PCON: PCON.1 – для режима микропотребления и PCON.0 – для режима холостого хода. Однако, в отличие от 80C51, бит PCON.1 может быть установлен при условии, что на вывод /EW рассматриваемого микроконтроллера подано напряжение уровня логической единицы. Кроме данной особенности, целесообразно указать состояние внешних выводов тех функциональных узлов, которые дополнительно введены в ОМК 80C552: в обоих режимах на выводах порта 4 сохраняются уровни данных, а на выводах *PWM0* и *PWM1* устанавливаются высокие уровни напряжения. Небольшое увеличение значения предельного тока, потребляемого от источника питания в режиме холостого хода (до 10 мА), обусловленного более высокой максимальной рабочей частотой f_{osc} для 80C552. Алгоритм перехода к активному режиму работы из режимов пониженного потребления для 80C552 такой же, как и для 80C51.

2.10. Основные характеристики и электрические параметры микроконтроллера

ОМК 80C552, не имеющий встроенной памяти программ, выпускается фирмой PHILIPS в виде нескольких модификаций, отличающихся конструктивным исполнением и материалом корпуса. Указанные отличия связаны с рабочим диапазоном температур. ОМК общетехнического применения выпускаются в пластиковом корпусе с 68 выводами и рассчитаны на рабочий диапазон температур $0 \div +70$ °С. Эти ОМК имеют две модификации, отличающиеся частотой генератора тактовых импульсов f_{osc} : 16 МГц и 24 МГц. Обозначения этих модификаций РСВ 80C552 – 5 – 16WP и РСВ 80C552 – 5 – 24WP соответственно. Обе модификации ОМК для питания цифровой части

требуют одного источника питания $V_{DD} = +5$ В с допуском $\pm 20\%$ для первой модификации и $\pm 10\%$ – для второй. Максимальный ток потребления от источников V_{DD} равен для рассматриваемых ОМК 45 и 55 мА соответственно. Во всём остальном электрические характеристики модификаций ОМК идентичны.

Предельные значения входных и выходных сигналов ОМК ограничиваются следующими данными:

- предельные уровни входных/выходных напряжений на любом из выводов не должны выходить за границы $-0,5 \div +6,5$ В;
- максимальное значение входного или выходного тока на любом из выводов не должно превышать 5 мА;
- минимальная частота генератора тактовых импульсов 1,2 МГц;
- входная ёмкость для любого цифрового вывода не более 10 пФ;
- потребление в режиме холостого хода при $f_{osc} = 16$ МГц (24 МГц) не более 10 мА (12,5 мА);
- потребление в режиме микропотребления не более 50 мкА.

Уровни рабочих сигналов для цифровых выводов соответствуют требованиям к уровням ТТЛ. Предельнодопустимая емкость нагрузки для порта P0, выводов ALE и PSEN – 100 пФ ; для всех остальных выводов – 80 пФ ; . предельно допустимая емкость нагрузки на выводах SDA и SCL – 40 пФ.

Для аналогового узла ОМК , включающего коммутатор напряжений и АЦП , ограничения на напряжение питания AV_{DD} повторяют ограничения на V_{DD} .

КОНТРОЛЬНЫЕ ВОПРОСЫ

К главе 1

1. Каковы основные направления совершенствования технических характеристик микроконтроллеров семейства MSC-51?
2. Совместимы ли по системе команд микроконтроллеры подсемейства MSC-51XA с микроконтроллерами семейства MSC-51?
3. В чем заключается различие режимов работы микроконтроллеров MSC-251?

К главе 2

1. Каковы особенности адресации первой секции резидентной памяти данных микроконтроллера 80C552?
2. Каковы особенности адресации второй секции резидентной памяти данных микроконтроллера 80C552?
3. Каковы особенности адресации регистров специальных функций?
4. В чем особенность работы порта P5?
5. Имеют ли выводы порта P1 альтернативные функции?
6. Какие регистры специальных функций предназначены для инициализации таймера/счетчика T2?
7. Является ли таймер/счетчик T2 доступным для записи?
8. Для чего служат системы сравнения и захвата таймера/счетчика T2?
9. Что включает в себя система сравнения таймера/счетчика T2?
10. Каково назначение шины I²C?
11. Какова максимальная частота синхронизации передачи битов по шине I²C в стандартном режиме?
12. Чем определяется начало и конец передачи по шине I²C?
13. Как задаются условия START и STOP на шине I²C?
14. Какой порт предназначен для последовательного ввода/вывода по шине I²C?
15. В каких режимах может работать последовательный порт SIO1?
16. Какие регистры специальных функций предназначены для инициализации порта SIO1?
17. Каковы диапазон входных напряжений АЦП, число его каналов, разрядность и время преобразования?
18. Как осуществляется программный запуск АЦП?
19. Как осуществляется аппаратный запуск АЦП?
20. Как следует использовать ADCI – флаг запроса прерывания от АЦП?
21. Возможно ли изменение частоты сигналов на выходах с широтно-импульсной модуляцией?

22. Сколько источников прерываний имеет микроконтроллер 80C552?
23. Какие прерывания предназначены для обслуживания таймера/счетчика T2?
24. Какие регистры специальных функций микроконтроллера 80C552 служат для разрешения прерываний и установки их приоритета?
25. Каков максимальный ток потребления микроконтроллера 80C552 в нормальном режиме?
26. Могут ли ШИМ-сигналы на выходах микроконтроллера различаться по частоте?
27. Можно ли порт P5 микроконтроллера настроить так, чтобы одна часть выводов принимала аналоговые сигналы, а другая – цифровые?

ЗАКЛЮЧЕНИЕ

В настоящем пособии показаны основные направления развития однокристальных микроконтроллеров семейства MCS-51 и изложены отличительные особенности одного из перспективных для применения в средствах измерительной техники микроконтроллерного подсемейства 552. При этом описание узлов, общих для ОМК 80С552 и 80С51, опущено, поскольку этот материал подробно рассмотрен в технической литературе. В материалах пособия приведена общая характеристика ОМК 80С552, отмечены особенности внутреннего ОЗУ, специфика портов ввода-вывода, в том числе организация последовательного порта с шиной I²S. Рассмотрены организация и работа АЦП, узла с выходами ШИМ-сигналов, а также системы прерываний, специфика синхронизации работы ОМК и его сброса.

Поскольку ОМК семейства MCS-51 продолжают модифицироваться и совершенствоваться, становится очевидной целесообразность продолжения тематики настоящего пособия в направлении отражения новых разработок ОМК, их возможностей и особенностей.

Материал пособия окажется полезным при изложении дисциплин, связанных с изучением и проектированием микроконтроллерных устройств различного назначения.

ЛИТЕРАТУРА

1. **Зобнин Ю.** Микроконтроллеры семейства 8051//CHIP NEWS. № 6-7, 1998. С. 57-65.
2. **Однокристалльные микроЭВМ/А.В. Боборыкин, Г.П. Липовецкий и др.** -М.: БИНОМ, 1994, -400 с.
3. **Бродин В.Б., Шагурин И.И.** Микроконтроллеры. Архитектура, программирование, интерфейс. -М.: ЭКОМ, 1999, -400 с.
4. **PHILIPS.** 8051 Product Directory. Vol. 5, 1997. Miller Frimen Inc.

Учебное издание

Юрий Николаевич Евланов
Виктор Александрович Новиков
Александр Алексеевич Шатохин

ОДНОКРИСТАЛЬНЫЙ МИКРОКОНТРОЛЛЕР 80С552

Методическое пособие по курсу
«Схемотехника и программное обеспечение электронных средств
измерений»
для студентов, обучающихся по направлению "Информатика и
вычислительная техника"

Редактор Н.А. Серов
Редактор издательства Н.А. Черныш
ЛР № 020528 от 05.06.97

Темплан издания МЭИ 2001 (1), метод.
Подписано к печати 13.11.01
Формат 60×84/16
Печ.л. 3,75
Тираж 100 Изд.№ 62 Заказ

Издательство МЭИ, 111250, Москва, Красноказарменная, д.14
Типография ЦНИИ «Электроника», 117415, Москва, пр. Вернадского, д.39